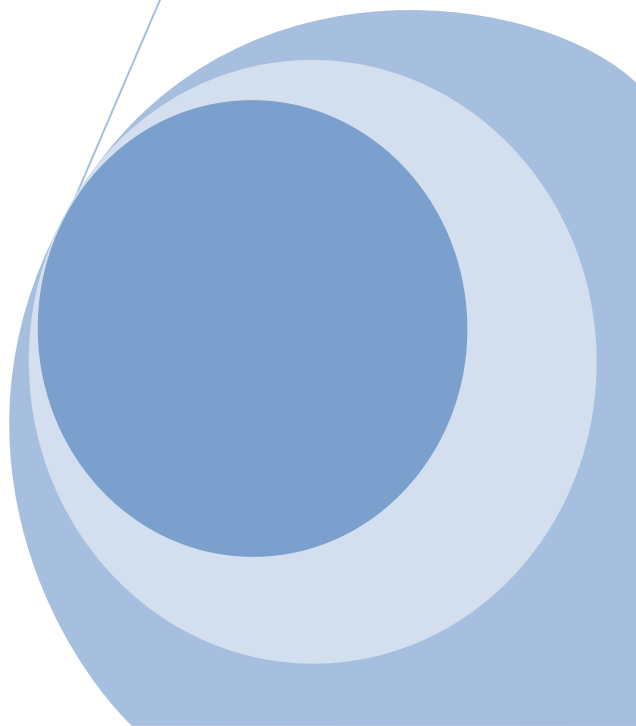
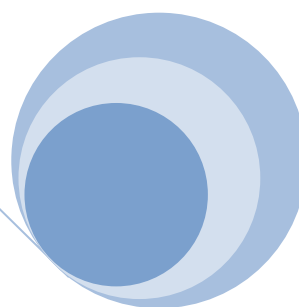
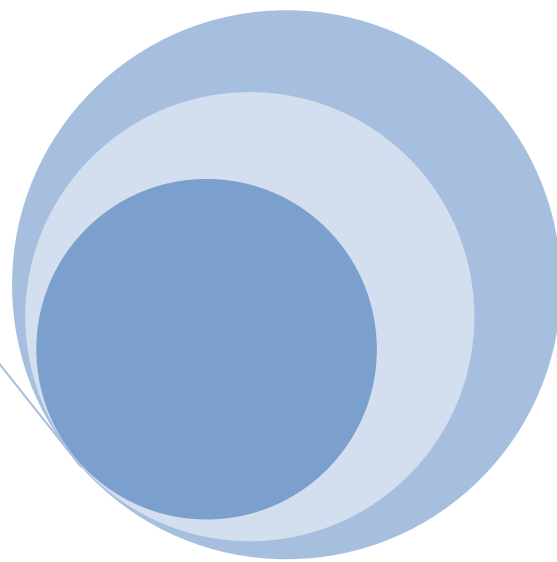


**Хабаров С. П.  
Шилкина М. Л.**

# **ВЫЧИСЛИТЕЛЬ- НЫЕ МАШИНЫ, СИСТЕМЫ И СЕТИ**

**Санкт-Петербург  
2017**



Министерство образования и науки РФ

---

Федеральное государственное бюджетное образовательное учреждение  
высшего образования  
САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ ЛЕСОТЕХНИЧЕСКИЙ  
УНИВЕРСИТЕТ имени С.М.Кирова

---

*Кафедра информационных систем и технологий*

**С.П. Хабаров**, кандидат технических наук, доцент  
**М.Л. Шилкина**, кандидат технических наук, доцент

# ВЫЧИСЛИТЕЛЬНЫЕ МАШИНЫ, СИСТЕМЫ и СЕТИ

Учебное пособие  
для бакалавров направления 09.03.02  
"Информационные системы и технологии"

Санкт-Петербург  
2017

Рассмотрено и рекомендовано к изданию  
Институтом леса и природопользования  
Санкт-Петербургского государственного лесотехнического университета  
16 февраля 2017 г.

Рецензенты:  
**кафедра информационных систем и вычислительной техники**  
**Санкт-Петербургского горного университета**  
(доктор технических наук, профессор **И.В. Иванова**),  
доктор технических наук, профессор **В.А. Богатырев**  
(Санкт-Петербургский государственный университет ИТМО)

УДК 681.324(075)

**Хабаров С.П.**

Вычислительные машины, системы и сети: Учебное пособие / С.П. Хабаров,  
М.Л. Шилкина / под ред. Заяц А.М. – СПб.: СПбГЛТУ, 2017. – 240 с.

ISBN 978-5-9239-0888-6

*Представлено кафедрой информационных систем и технологий.*

Учебное пособие дает представление об архитектуре и принципах построения современных ЭВМ и систем, взаимодействии их программных и аппаратных средств; учит оценивать технические характеристики ЭВМ и выбирать их конфигурацию в соответствии с требованиями конкретной информационной, вычислительной или управляющей системы. В учебном пособии уделяется внимание вопросам иллюстрации принципов организации и функционирования ЭВМ на примере персональных ЭВМ, даны сравнительные архитектурные особенности организации ЭВМ различных классов.

Предназначено для бакалавров направления 09.03.02, обучающихся по специальности «Информационные системы и технологии», а также магистров направления 09.04.02 и студентов других специальностей, связанных с прикладной математикой и информатикой.

Табл. 16. Ил. 187. Библиогр. 19 назв.

Темплан 2017 г. Изд. № 4  
ISBN 978-5-9239-0888-6

© СПбГЛТУ, 2017

## **Введение**

В результате изучения данного курса студенты получают представление об архитектуре и принципах построения современных ЭВМ и систем, взаимодействии их программных и аппаратных средств; научатся оценивать технические характеристики ЭВМ и выбирать их конфигурацию в соответствии с требованиями конкретной информационной, вычислительной или управляющей системы.

В курсе уделяется внимание вопросам иллюстрации принципов организации и функционирования ЭВМ на примере персональных ЭВМ, даны сравнительные архитектурные особенности организации ЭВМ различных классов.

В связи с возрастающей важностью консолидации ИТ инфраструктуры современного бизнеса, в пособии подробно рассматриваются понятия многомашинных и многопроцессорных вычислительных систем (ВС), вычислительных комплексов (ВК) и параллельных систем, а также даётся классификация основных типов вычислительных систем, в рамках которой рассматриваются различные виды ВС - матричные, конвейерные, потоковые ВС, а также информационно-вычислительные системы и сети.

В процессе изучения курса предлагается ознакомиться с архитектурой и принципами построения современных ЭВМ и систем. Усвоенный материал должен послужить основой для изучения последующих дисциплин курса, определяя ключевые моменты, на которые надо в первую очередь обратить внимание в дисциплинах, связанных с системным программным обеспечением, организаций интерфейсов ЭВМ, сетями ЭВМ, защитой информации и моделированием систем.

Кроме того, в связи с непрерывным и стремительным совершенствованием средств вычислительной и информационной техники изученные принципы помогут студентам самостоятельно осваивать все новые средства, устройства и системы, появляющиеся на рынке. При наличии Интернета получение информации соответствующей степени детализации вполне достижимо. Из рассмотренных законов развития информационно-вычислительной техники известно, что многие ее ключевые параметры изменяются в разы за полтора-два года. Однако, отслеживая основные параметрические изменения в ЭВМ, необходимо также помнить, что не менее важными являются и структурные их изменения, изменения в принципах организации.

Авторы благодарят ООО "САРК-ИС" и его генерального директора К.С.Хабарова за финансовую поддержку издания данного пособия.

## **1 Основные компоненты и структура настольного ПК**

### **1.1 Конструкция материнской платы**

Настольный компьютер в большинстве случаев представляет собой систему с разборной, то есть открытой, архитектурой. Это значит, что все узлы и модули, образующие компьютер, находятся внутри одного системного блока. В его составе обычно присутствуют такие компоненты, как:

- системная плата с процессором и оперативной памятью (рис. 1.1);
- накопители на жестких и гибких дисках;

- устройства чтения/записи оптических дисков;
- блок питания.

В наиболее продвинутых конфигурациях ПК дополнительно могут присутствовать графические ускорители, звуковые платы, сетевые адаптеры и другие устройства, но основным аппаратным компонентом любого настольного компьютера или ноутбука является системная плата. Дополнительная система охлаждения и периферийные устройства монтируются внутри шасси, в совокупности формируя системный блок компьютера.

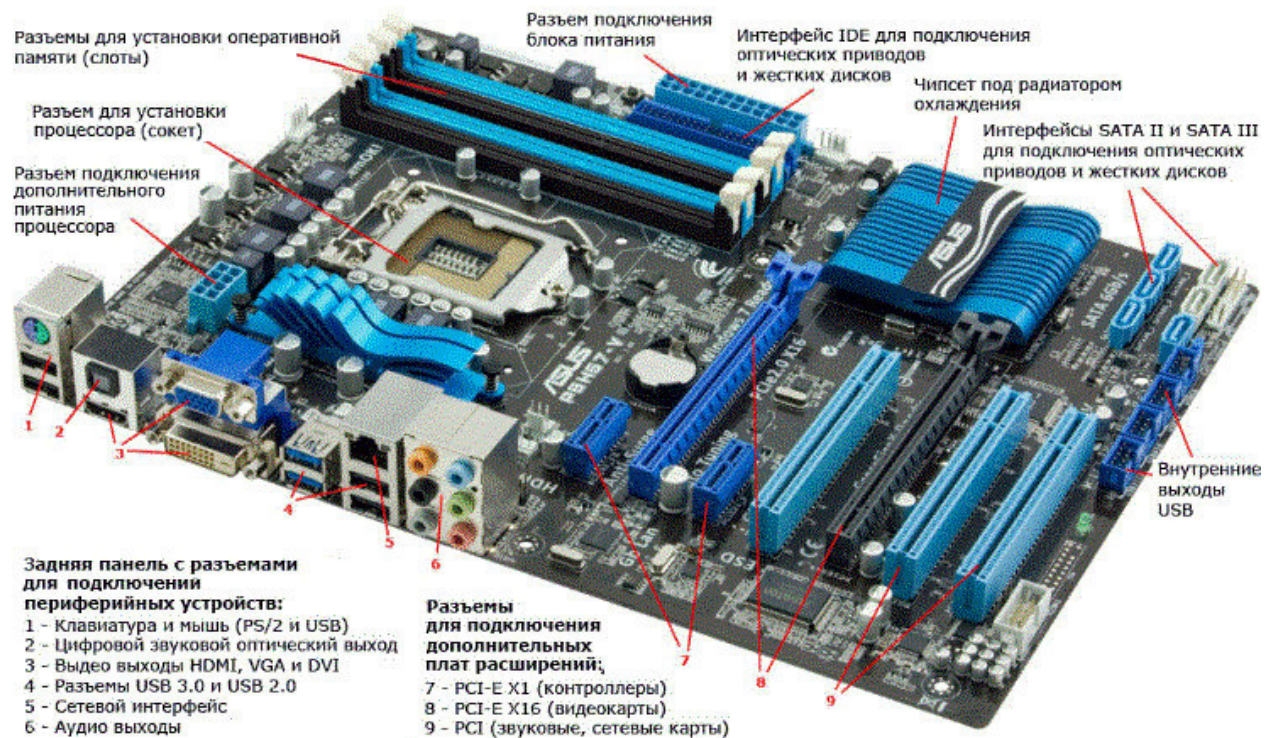


Рис. 1.1. Внешний вид системной платы настольного ПК.

Системная плата, которую также часто называют материнской платой (от англ. motherboard) — это сложная многослойная печатная плата, являющаяся основой построения вычислительной системы (компьютера). На системной плате реализована магистраль и шины обмена информацией между всеми узлами компьютера, и на ней имеются:

- разъем для установки процессора (сокет),
- разъемы для установки контроллеров внешних устройств,
- слоты для установки модулей оперативной памяти,
- интерфейсы ввода-вывода и периферийных устройств.

Набор микросхем чипсет (англ. chipset) спроектирован для совместной работы компонент компьютера с целью выполнения набора каких-либо функций. Так, в компьютерах чипсет, размещаемый на материнской плате, выполняет роль связующего компонента, обеспечивающего совместное функционирование подсистем памяти, центрального процессора (ЦП) и устройств ввода-вывода.

Чипсеты встречаются и в других устройствах, например, в сотовых телефонах и сетевых медиаплеерах.

Однако для создания полноценных систем нужны еще вспомогательные устройства и микросхемы, такие как преобразователь напряжения, тактовый генератор, таймер, BIOS (Basic Input-Output System - базовая система ввода-вывода) и ряд контроллеров. Функции многих из них интегрированы в чипсете, но ряд компонентов остаются снаружи на плате.

- Микросхема ПЗУ BIOS встроена в материнскую плату (рис. 1.2). BIOS – это программа, прошитая в постоянном запоминающем устройстве, которая осуществляет проверку работоспособности устройств, встроенных в материнскую плату, обеспечивает начальную загрузку компьютера и последующий запуск операционной системы. Батарейка BIOS расположена на материнской плате, она необходима для постоянного питания ПЗУ с целью сохранения настроек BIOS. Она же поддерживает работу часов компьютера.



Рис. 1.2. Микросхема ПЗУ BIOS и батарейка на системной плате.

- Тактовый генератор — формирует основные тактовые частоты, используемые контроллерами шин и процессором (рис. 1.3). Источник опорной частоты — кварцевый резонатор (кварц). Современные платы позволяют изменять основные частоты, допуская разгон процессора и памяти. Для этого используют специальные программы, прямо из операционной системы.



Рис. 1.3. Кварцевый резонатор (слева) и тактовый генератор (справа).



- К дополнительным компонентам материнской платы можно отнести температурные датчики, собирающие информацию о температуре процессора, материнской платы, скорости вращения вентилятора и др.

Температурные датчики имеют важное значение, так как процессор, в ядре которого работают десятки миллионов транзисторов, выделяет большое количество тепла. А вот площадь его кристалла очень мала, поэтому для эффективного отвода тепла от процессора необходим кулер, который состоит из радиатора и вентилятора (рис. 1.4). Тепловая энергия передается радиатору, площадь которого гораздо больше площади кристалла процессора, и тепло рассеивается гораздо быстрее, чем с маленького кристалла или корпуса процессора.



Рис. 1.4. Внешний вид кулера процессора.

Максимальная рабочая температура процессоров обычно не превышает 70 - 80 °С. Лучше всего, если система охлаждения может удерживать температуру процессора на уровне 30 - 50°С. Активное охлаждение есть практически у всех современных компьютеров с процессорами x86, а тем более x86\_64. Кулеры не используют только в маломощных устройствах на базе ARM-процессоров. Так, например, планшета и смартфонам достаточно естественного охлаждения.

Обязательным устройством в составе компьютера является контроллер прерываний. Например, пусть компьютер выполняет расчеты в Excel, а пользователь в это время переместил мышь. Это вызовет прерывание — процессор на время прервет расчеты и запустит обработчик прерывания. Обработчик прерывания — это короткая программа, которая считывает координаты и переместит указатель мыши на экране в новое положение. После этого процессор вновь возвращается к прерванным расчетам. Все это происходит настолько быстро, что у пользователя создается иллюзия параллельности работы.

## 1.2 Логическая структура настольного ПК

Логическая структура ПК дает общее представление о входящих в состав компьютера устройствах и функциональных взаимосвязях между ними.

Все устройства, находящиеся внутри компьютера, подключены к материнской плате и постоянно обмениваются между собой информацией. При этом, проходя через микросхемы материнской платы, эта информация особым образом преобразуется. Это нужно для того, чтобы разные устройства могли «понимать» друг друга.

Например, информация, записанная на оптическом диске в виде какого-нибудь фильма без преобразования не будет понятна ни монитору, ни звуковым колонкам. Компю-

ненты системной платы преобразует информацию таким образом, что на мониторе отображается вполне нормальное изображение и слышен в колонках звук. Основную роль в этих преобразованиях играет процессор.

Быстродействие различных компонентов компьютера (контроллеров периферийных устройств, процессора и оперативной памяти) может существенно различаться. Для того, чтобы согласовать их быстродействие, на системной плате устанавливаются специальные микросхемы (чипсеты), в состав которых входят: контроллер оперативной памяти — северный мост, и контроллер периферийных устройств — южный мост. Логическая схема взаимосвязи компонентов ПК приведена на рис. 1.5.

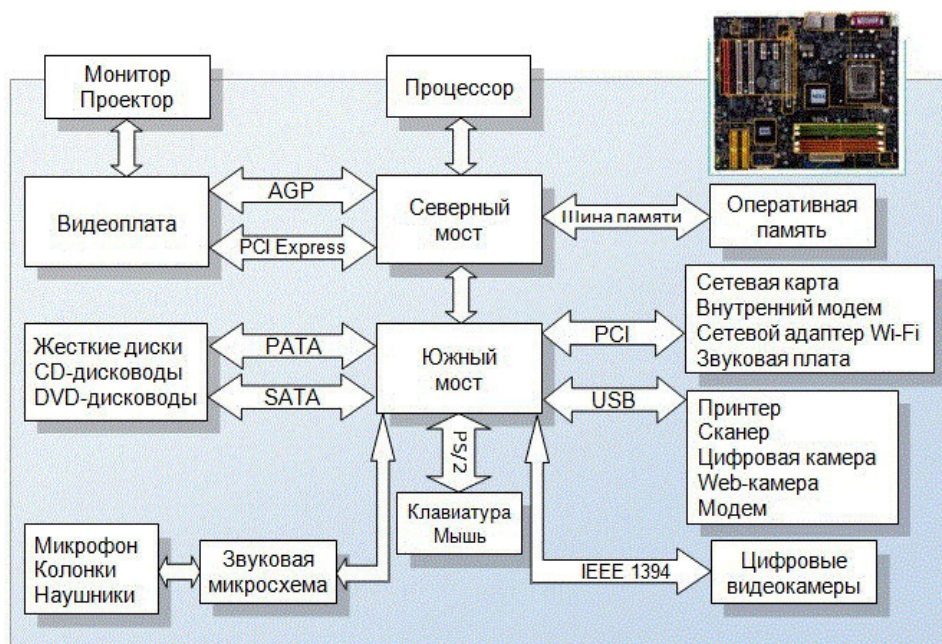


Рис. 1.5. Логическая схема системной платы настольного ПК

### 1.2.1 Северный мост

**Северный мост** (Northbridge) — это системный контроллер, который является одним из элементов чипсета материнской платы, определяет частоту системной шины, тип оперативной памяти и ее максимально возможный объем. Северный мост контролирует работу высокопроизводительных устройств с высокой теплоотдачей и производительностью.

Северный мост обеспечивает обмен информацией между процессором и оперативной памятью. В процессоре используется внутреннее умножение частоты, поэтому частота процессора может быть в несколько раз больше, чем частота системной шины. Для подключения центрального процессора к системному контроллеру может использоваться такая FSB-шина, как Hyper-Transport.

Обычно к системному контроллеру подключается оперативная память. Поэтому он содержит в себе контроллер памяти, от типа которого зависит максимальный объем оперативной памяти, а также пропускная способность шины памяти персонального компьютера. В настоящее время есть тенденция встраивать контроллер памяти непосредственно в процессор, что упрощает функции системного контроллера. Так, например, процессоры AMD K8 и Intel Core i7 имеют встроенный контроллер памяти.



Монитор – важный для пользователя компонент компьютера. Его качество влияет на зрение, сказывается на комфорте работы за ПК. По мере увеличения разрешающей способности мониторов и глубины цветов требования к быстродействию шины, связывающей видеоплату с процессором и оперативной памятью, постоянно возрастают. Если ранее мониторы подключали через общие шины (ISA, VLB, PCI), то сейчас используют шины, подключаемые непосредственно к северному мосту.

Ранее для подключения видеоплаты использовали шину AGP (Accelerated Graphic Port — ускоренный графический порт), соединенную с северным мостом и имеющую частоту, в несколько раз большую, чем шина PCI. В качестве шины для подключения графического контроллера на современных материнских платах используется PCI Express.

Особенность функционирования северного моста в том, что через него проходит огромный трафик передачи данных. Это приводит к существенному нагреву его микросхемы. Поэтому на некоторых системных платах эти микросхемы устанавливаются с теплоотводами или радиаторами (рис. 1.6).

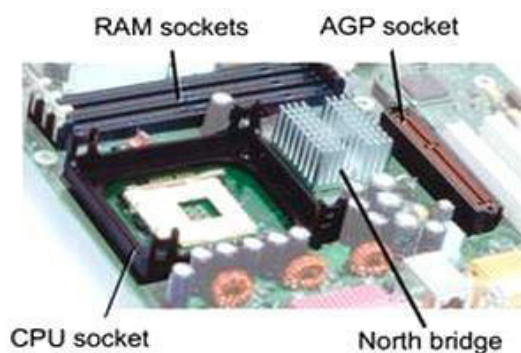


Рис. 1.6. Северный мост и его окружение на системной плате.

Пока технология производства не позволяют скомпенсировать возросшее, вследствие усложнения внутренней схемы, тепловыделение чипа, современные мощные микросхемы северного моста, кроме пассивного охлаждения, для своей бесперебойной работы требуют использования индивидуального вентилятора или специальной системы охлаждения.

*В современных системах, начиная от Intel Nehalem и AMD Sledgehammer отсутствует северный мост в виде отдельного контроллера (чипа). Его функция перенесена в центральный процессор, тем самым упростив проектирование системных плат и уменьшив количество активных компонентов.*

### 1.2.2 Южный мост

**Южный мост** (Southbridge) — это контроллер-концентратор ввода-вывода. Он контролирует устройства, которые не требуют много энергии и не особо производительны. К числу таких устройств относятся звуковые и сетевые карты, жесткие диски, клавиатура, мышь и многие другие не очень быстродействующие устройства.

Южный мост ретранслирует данные и запросы от подключенных к нему устройств в северный мост, который передает их в процессор или ОЗУ, и принимает от северного моста команды процессора и данные из ОЗУ, и ретранслирует их в подключенные к нему устройства. В его состав входят:

- контроллер шины связи с северным мостом (PCI, hublink, DMI, HyperTransport и т.д.);
- контроллер шины связи с платами расширения (PCI, PCI-Express и т.д.);
- контроллер линий связи с периферийными устройствами и другими компьютерами (USB, FireWire, Ethernet и т.д.);
- контроллер шины связи с жесткими дисками (ATA, SATA, SCSI и т.д.);
- контроллер шины связи с медленными устройствами (шины ISA, LPC, SPI и т.д.).

Довольно долго для связи северного моста с южным использовалась шина PCI (Peripheral component interconnect) – шина для подключения плат расширения к материнской плате, разработанная в 1992 году компанией Intel. Однако по мере повышения производительности плат расширения ее пропускной способности стало не хватать. Вместо нее стали использовать более быстрые шины. Например, PCI-Express и ряд других.

Иногда в состав чипсета включают микросхему Super I/O, которая подключается к южному мосту по шине LPC (Low Pin Count) и отвечает за низкоскоростные порты: RS232, LPT, PS/2 (рис. 1.7).

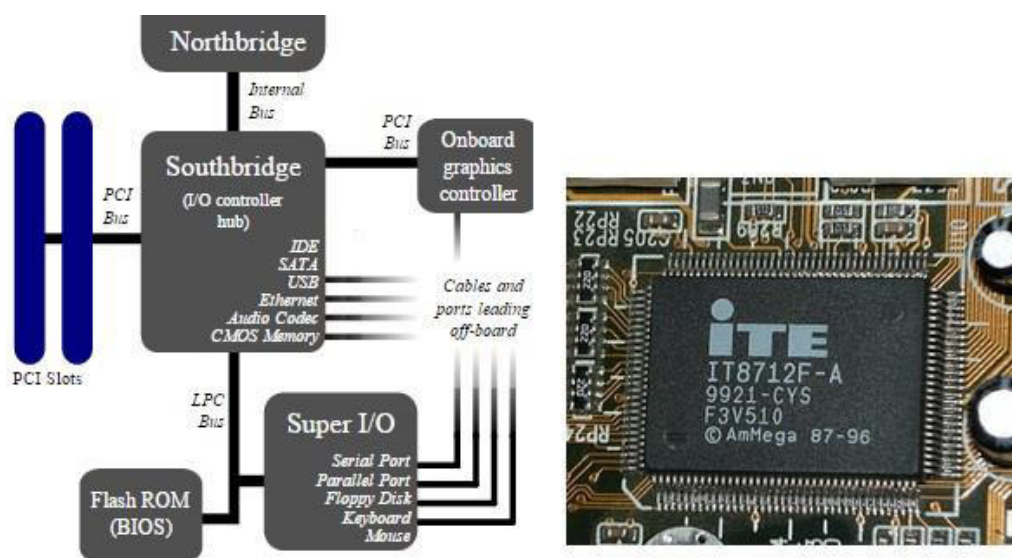


Рис. 1.7. Микросхема Super I/O, подключенная по шине LPC.

С помощью шины LPC подключается загрузочное ПЗУ и контроллеры «устаревших» интерфейсов передачи данных, таких как последовательный и параллельный интерфейсы, интерфейс для подключения мыши и клавиатуры (PS/2). Обычно контроллер шины LPC расположен в южном мосте на материнской плате.

В южный мост также входит контроллер беспроводной связи Wi-Fi, а наличие контроллера Bluetooth позволяет компьютеру работать с беспроводной клавиатурой, мышью, с сотовым телефоном и другими устройствами, которые поддерживают этот стандарт.

### 1.3 Процессор и его основные характеристики

Современный процессор аппаратно реализуется на большой интегральной схеме (БИС) [2], [11], [4]. Она на самом деле не является «большой» по размеру и представляет собой, наоборот, маленькую плоскую полупроводниковую пластину размером примерно 20×20 мм, заключенную в плоский корпус с рядами металлических штырьков (контактов) (рис. 1.8).

Показателем качества технологии и конструкции БИС является плотность упаковки элементов на кристалле – число элементов, приходящихся на единицу его площади. Современные передовые технологии производства микросхем оперируют с элементами размером 22—45 нм, переходят на элементы 14 нм и планируют уменьшить их в будущем до 5 нм. Это позволяет разместить в одной БИС несколько миллиардов переключающих элементов.



Рис. 1.8. Процессоры семейства Intel.

При этом отметим, что нанометр ( $1 \text{ нм} = 10^{-9} \text{ м}$ ) — это единица измерения длины, равная одной миллиардной части метра. Так, например, длина волны видимого света, воспринимаемого человеком, лежит в диапазоне 380—760 нм, а расстояние между атомами углерода в алмазе 0,154 нм. Развитие технологий производства микросхем за последние годы и их перспектива на ближайшее будущее заключается в неуклонном увеличении плотности размещения элементов на БИС (рис. 1.9).

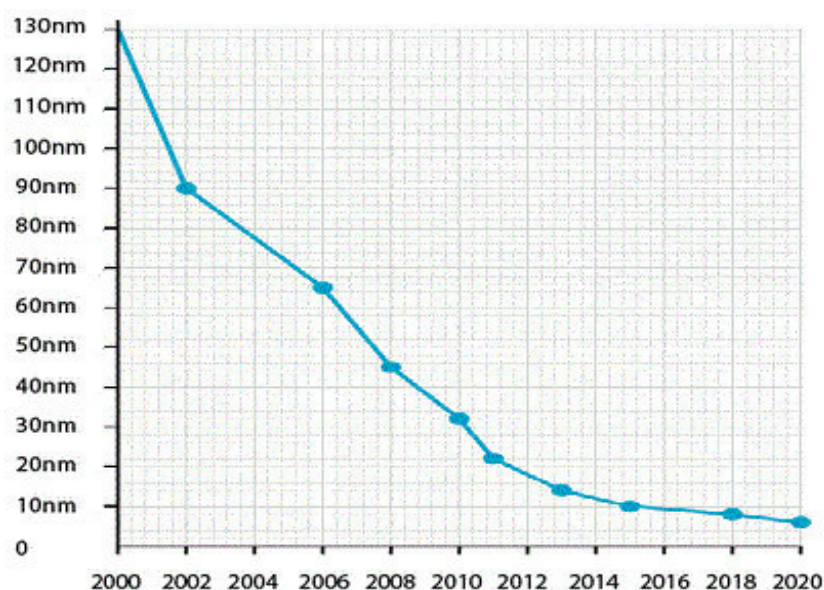


Рис. 1.9. Развитие технологий производства микросхем.

Однако, традиционные интегральные микросхемы достигнут лимита в начале 2020 годов с появлением новой парадигмы в форме «этажерочных» трехмерных схем, созданных из углеродных нанотрубок, графена и других материалов. Сейчас фирма Intel выпускает микропроцессоры нового поколения, с транзисторами размером около 10 нм, что позволяет на одной микросхеме уместить более 10 миллиардов таких элементов.

Технологические аспекты изготовления и степень интеграции элементов в основном определяют конструктивные особенности микропроцессоров. Однако, микропроцессор является одним из узлов любой вычислительной системы, и в этом плане характеризуется

рядом технических показателей, которые определяют его производительность при реализации конкретных задач (рис. 1.10).



Рис. 1.10. Основные характеристики микропроцессора.

Производительность процессора является его интегральной характеристикой, которая зависит от частоты процессора, его разрядности, а также особенностей архитектуры. Производительность процессора нельзя вычислить, она определяется в процессе тестирования, по скорости выполнения процессором определенных операций в какой-либо программной среде.

- **Разрядность процессора** — одна из характеристик, влияющая на его производительность. Она определяется количеством двоичных разрядов, которые процессор обрабатывает или передает одновременно. Обычно разрядность процессора представляют в формате  $m/n/k$ , где
  - $m$  — разрядность внутренних регистров, определяет длину слов информации, которые обрабатываются процессором за один шаг.
  - $n$  — разрядность шины данных, определяет скорость передачи информации: чем больше сигналов одновременно поступает на шину, тем больше данных передается по ней за определенный интервал времени и тем быстрее она работает
  - $k$  — разрядность шины адреса, определяет размер адресного пространства процессора.

Например, разрядность одного из первых микропроцессоров i8088 была 16/8/20, а Pentium Pro имел 32/64/36. Архитектура с 64-разрядной шиной данных и 32-разрядными регистрами может показаться странной, если не знать, что в Pentium Pro для обработки информации служат два 32-разрядных конвейера. Это было подобно двум 32-разрядным процессорам, объединенным в одном корпусе, а 64-разрядная шина данных позволяла быстрее заполнять рабочие регистры.

- **Тактовая частота** характеризует быстродействие процессора, и определяется числом тактов за секунду. Такт процессора или такт ядра процессора — промежуток между двумя импульсами тактового генератора, который синхронизирует выполнение всех операций процессора. На выполнение процессором любой базовой операции отводится определенное количество тактов. Ясно, что чем больше тактовая частота, тем больше операций в секунду выполняет процессор. Тактовая частота измеряется в мегагерцах (МГц) и гигагерцах (ГГц).



Табл. 1.1. Рост технических показателей процессоров Intel различных серий.

За последние 30 лет тактовая частота процессора увеличилась почти в 800 раз: от 5 МГц у процессора 8086 в 1978 году до 4,0 ГГц у процессора Intel Core i7-4790K в 2014 году (табл. 1.1).

Тип	Год выпуска	Частота ЦП (МГц)	Частота FSB (МГц)	Кол-во ядер	Техпроцесс (нм)
8086	1978 — 1990	5 — 10	—	—	3000
80286	1982 — 1992	6 — 12,5	—	—	1500
80386	1985 — 2007	16 — 40	—	—	1500 — 800
80486	1989 — 2007	16 — 150	16 — 50	—	1000 — 600
Pentium	1993 — 1997	60 — 166	50 — 66	—	800 — 280
Pentium II	1997 — 1999	233 — 450	66 — 100	—	350 — 250
Pentium III	1999 — 2003	450 — 1000	100 — 133	—	250 — 130
Pentium 4	2000 — 2005	1000 — 3800	400 — 1066	—	180 — 65
Core 2	2006 — 2011	1060 — 3500	533 — 1600	2, 4	65 — 45
Core i3	2010 — ...	1200 — 3400	2500	2	32 — 22
Core i5	2009 — ...	1200 — 4020	2500	2, 4	45 — 22
Core i7	2008 — ...	1070 — 4200	4800 — 6400	2, 4, 6, 8	45 — 22

- **Архитектура микропроцессора** - это понятие, которое в настоящее время однозначного толкования не имеет. С позиций программистов, под архитектурой процессора понимается его способность исполнять строго определенный набор машинных команд. Большинство микропроцессоров для настольных компьютеров относятся к семейству x86. Их еще называют Intel-совместимыми процессорами. Это означает, что все процессоры этого семейства полностью поддерживают одну и ту же систему команд, строго определенную для этой архитектуры.

Однако разработчики компьютерного «железа» вкладывают в это понятие несколько иной смысл, используя для этого термин "микроархитектура". С их точки зрения, архитектура процессора отражает основные принципы внутренней организации конкретных семейств процессоров.

Таким образом, говоря об архитектуре микропроцессоров, различают понятия микроархитектуры и макроархитектуры:

- **Микроархитектура** микропроцессора - это аппаратная организация и логическая структура микропроцессора, регистры, управляющие схемы, арифметико-логические устройства, запоминающие устройства и связывающие их информационные магистрали.
- **Макроархитектура** микропроцессора - это система команд, типы обрабатываемых данных, режимы адресации и принципы работы микропроцессора.
- **Количество ядер.** Этот параметр является составной частью характеристики архитектуры микропроцессора, но ввиду его важности для современных микропроцессоров его стали использовать в качестве еще одной характеристики микропроцессора.



Последние версии микропроцессоров имеют два, четыре и более вычислительных ядер, а современные ОС умеют распределять нагрузку, производимую программами, между ядрами, тем самым увеличивая производительность, уменьшая отклик компьютера, добиваясь быстрой перезагрузки и наращивая уровень допустимой нагрузки.

Идея использования нескольких процессоров в компьютере не является новой, но их размещение на одном кристалле в виде самостоятельных ядер не было востребованным вплоть до 2005 года.

**Многоядерным** называют центральный микропроцессор, который содержит два и более вычислительных ядра на одном процессорном кристалле или в одном корпусе.

Требования к вычислительной мощности центрального микропроцессора постоянно росли и продолжают расти. Долгое время повышение производительности традиционных одноядерных процессоров в основном происходило за счет последовательного увеличения тактовой частоты с одновременным увеличением количества транзисторов на одном кристалле. Однако дальнейшее повышение тактовой частоты упирается в ряд фундаментальных физических барьеров, поскольку технологический процесс почти вплотную приблизился к размерам атома:

- Во-первых, с уменьшением размеров кристалла и с повышением тактовой частоты возрастает ток утечки транзисторов. Это ведет к повышению потребляемой мощности и увеличению выброса тепла. При тактовой частоте более 3,8 ГГц чипы попросту перегреваются.
- Во-вторых, преимущества более высокой тактовой частоты частично сводятся на нет из-за задержек при обращении к памяти, так как время доступа к памяти не соответствует возрастающим тактовым частотам.
- В-третьих, для некоторых приложений традиционные последовательные архитектуры становятся неэффективными с возрастанием тактовой частоты из-за так называемого «фон-Неймановского узкого места» – ограничения производительности в результате последовательного потока вычислений. При этом возрастают резистивно-емкостные задержки передачи сигналов, что является дополнительным узким местом, связанным с повышением тактовой частоты.

Применение многопроцессорных систем также не получило широкого распространения, так как требует сложных и дорогостоящих многопроцессорных материнских плат. Поэтому было решено добиваться дальнейшего повышения производительности микропроцессоров другими средствами. Самым эффективным направлением была признана концепция **многопоточности**, зародившаяся в мире суперкомпьютеров, – это одновременная *параллельная* обработка нескольких потоков команд.

### 1.3.1 Технология сверхпоточной обработки данных

Компанией Intel была предложена технология сверхпоточной обработки данных (Hyper-Threading Technology, НТТ). Она позволяет процессору выполнять в одноядерном процессоре параллельно до четырех программных потоков одновременно. Это значительно повышает эффективность работы ОС в многозадачном режиме, а также выполнение ресурсоемких приложений. Например, связанных с аудио- и видеоредактированием, 3D-моделированием и т.д.

Процессор Pentium 4 с включенным Hyper-threading имеет всего одно физическое ядро, но оно разделено на два логических, поэтому операционная система определяет его, как два разных процессора, вместо одного.

Hyper-threading фактически стала трамплином к созданию процессоров с двумя физическими ядрами на одном кристалле. В двухядерном чипе параллельно работают два ядра (два процессора!), которые при меньшей тактовой частоте обеспечивают большую производительность, поскольку в них параллельно, то есть одновременно, выполняются два независимых потока инструкций.

### **1.3.2 Основные проблемы создания многоядерных процессоров**

- Каждое ядро процессора должно быть независимым, то есть обладать независимым энергопотреблением и управлением мощностью.
- Рынок программного обеспечения должен быть обеспечен программами, которые способны эффективно разбивать алгоритм ветвления команд на четное (для процессоров с четным количеством ядер) или на нечетное (для процессоров с нечетным количеством ядер) количество потоков.

### **1.3.3 Преимущества многоядерных процессоров**

- Возможность распределять работу программ, например, основных задач приложений и фоновых задач операционной системы, по нескольким ядрам.
- Увеличение скорости работы программ.
- Процессы, требующие интенсивных вычислений, протекают намного быстрее.
- Более эффективное использование мультимедийных приложений (видеоредакторов), особо требовательных к вычислительным ресурсам.
- Работа пользователя компьютера становится более комфортной.

### **1.3.4 Недостатки многоядерных процессоров**

- Возросшая себестоимость производства многоядерных процессоров, по сравнению с одноядерными, заставляет производителей чипов увеличивать их стоимость, а это отчасти сдерживает спрос.
- Так как с оперативной памятью одновременно работают сразу два и более ядра, необходимо «научить» их работать без конфликтов.
- Возросшее энергопотребление требует применения мощных схем питания.
- Требуется более мощная система охлаждения.
- Количество программного обеспечения, оптимизированного под многоядерность, ничтожно мало. Большинство программ рассчитаны на работу в классическом одноядерном режиме, поэтому они просто не могут задействовать вычислительную мощь дополнительных ядер.
- Операционные системы, поддерживающие многоядерные процессоры (например, Windows XP SP2 и выше) используют вычислительные ресурсы дополнительных ядер для собственных системных нужд.

Следует признать, что в настоящее время многоядерные процессоры используются крайне неэффективно. Кроме того, на практике  $n$ -ядерные процессоры не производят вычисления в  $n$  раз быстрее одноядерных: хотя прирост быстродействия и оказывается значительным, но при этом он во многом зависит от типа приложения. У программ, которые не рассчитаны на работу с многоядерными процессорами, быстродействие увеличивается всего на 5%. А вот программы, оптимизированные под многоядерные процессоры, работают быстрее уже на 50%.

## **1.4 Многоуровневая организация памяти компьютера**

Иерархический принцип построения характерен не только для структуры компьютера в целом, но и для отдельных его подсистем. По этому же принципу строится и система

памяти компьютера, основные требования к которой — большая информационная емкость и высокое быстродействие.

Однако одноуровневое построение памяти не позволяет одновременно удовлетворять этим двум противоречивым требованиям. Исходя из этого, память современных компьютеров строится по многоуровневому, пирамидальному принципу (рис. 1.11).

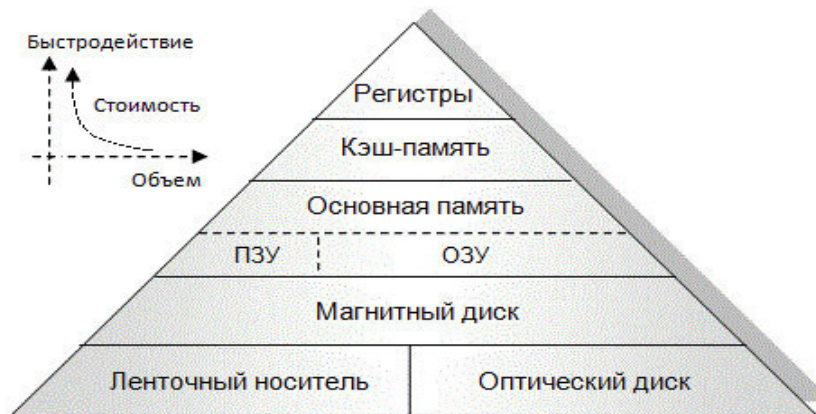


Рис. 1.11. Иерархия многоуровневой организации памяти.

- Верхний уровень этой пирамиды принадлежит регистровой памяти, которую еще называют микропроцессорной памятью (МПП). В составе любого процессора имеется сверхоперативное запоминающее устройство небольшой емкости, которое образовано несколькими десятками или сотнями регистров с очень быстрым временем доступа, составляющим всего один такт работы процессора (наносекунды). Здесь обычно хранятся данные, которые процессор непосредственно использует в процессе обработки.
- Следующий уровень образует кэш-память, или память блочного типа, представляющая собой буферное запоминающее устройство для хранения активных страниц суммарным объемом от десятков Кбайтов до десятков Мбайт, в зависимости от типа процессоров. Кэш центрального процессора разделён на несколько уровней и в универсальном процессоре число таких уровней может достигать трёх:
  - Самым быстрым является кэш первого уровня — L1 (level 1 cache). По сути, он является неотъемлемой частью процессора, поскольку расположен на одном с ним кристалле и входит в состав функциональных блоков. В современных процессорах обычно L1 разделен на два кэша — кэш команд и кэш данных. Большинство процессоров без L1 не могут функционировать. L1 работает на частоте процессора, и обращаться к нему можно каждый такт. Допускают выполнение нескольких операций чтения/записи одновременно.
  - Вторым по быстродействию является кэш второго уровня — L2, который обычно, как и L1, расположен на одном кристалле с процессором. В ранних версиях процессоров L2 реализован в виде отдельного набора микросхем памяти на материнской плате. Объём L2 от 128 кбайт до 1-12 Мбайт. В современных многоядерных процессорах L2, находясь на том же кристалле, является памятью раздельного пользования — при общем объёме кэша в N Мбайт на каждое ядро приходится по  $(N/n\_core)$  Мбайта.
  - Кэш третьего уровня наименее быстродействующий, но он может быть очень большим — более 24 Мбайт. L3 медленнее предыдущих кэшей, но всё равно значительно быстрее, чем оперативная память. В многоядерных процессорах находится в общем пользовании и предназначен для синхронизации данных различных L2 (рис. 1.12).

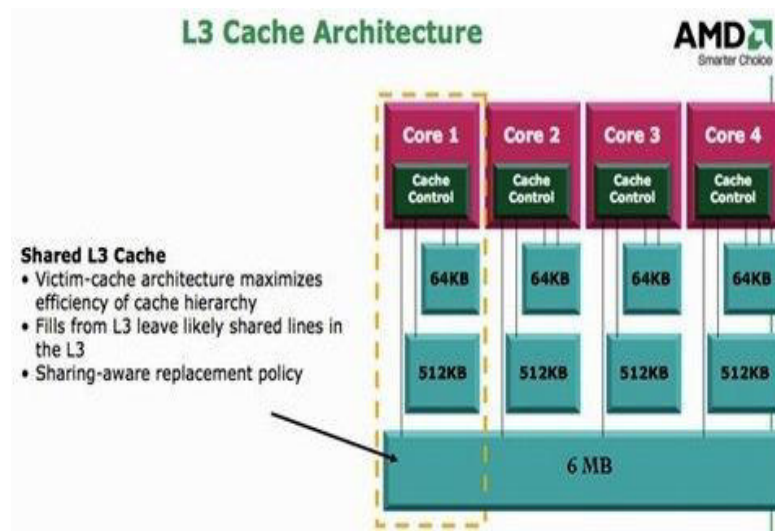


Рис. 1.12. Организация кэш-памяти в 4-х ядерном процессоре AMD.

- Основная память (ОП) предназначена для хранения и оперативного обмена информацией с прочими блоками машины. В ее состав входит два вида запоминающих устройств:
  - ROM (Read Only Memory) – постоянное запоминающее устройство (ПЗУ). Служит для хранения неизменяемой (постоянной) программной и справочной информации, позволяет оперативно только считывать хранящуюся в нем информацию. Изменить информацию в ПЗУ нельзя и она сохраняется при отсутствии питания.
  - RAM (Read Access Memory) – оперативное запоминающее устройство (ОЗУ). Предназначено для оперативной записи, хранения и считывания программ и данных, непосредственно участвующих в информационно-вычислительном процессе, выполняемом компьютером в текущий период времени. Недостаток - невозможность сохранять информацию после выключения питания (энергозависимость).
- На более низких уровнях иерархии находятся внешние запоминающие устройства на магнитных носителях: на жестких и гибких магнитных дисках, магнитных лентах, магнитооптических дисках и др. Их отличает низкое быстродействие и очень большая емкость.

Организация заблаговременного обмена информационными потоками между ЗУ различных уровней при децентрализованном управлении ими позволяет рассматривать иерархию памяти как абстрактную единую кажущуюся (**виртуальную**) память. Согласованная работа всех уровней обеспечивается под управлением программ операционной системы.

## 1.5 Основные стандарты материнских плат

**Форм-фактор** — это стандарт, задающий габаритные размеры технического изделия, а также описывающий дополнительные совокупности его технических параметров, например форму, типы дополнительных элементов размещаемых в/на устройстве, их положение и ориентацию.

Форм-фактор, как и любые другие стандарты, носит рекомендательный характер. Спецификация форм-фактора определяет обязательные и дополнительные компоненты. Однако подавляющее большинство производителей предпочитают соблюдать спецификацию, поскольку ценой соответствия существующим стандартам является совместимость

## 2.3 Многошинные архитектуры компьютеров

Подключение большого числа устройств к магистрали не позволяет решить задачу повышения производительности за приемлемую стоимость, так как с ростом мощности и частоты сигналов растёт уровень помех и рассинхронизация сигналов.

Поэтому в настоящее время распространены многошинные структуры ПК, выполненные на основе мостовой или хабовой архитектуры [13], [14], [18]. В мостовых и хабовых архитектурах ПК главная системная шина (FSB) нагружена лишь на одно устройство — северный мост, что упрощает проектирование систем высокой производительности на базе различных версий чипсетов.

### 2.3.1 Мостовая архитектура ПК

Структура компьютера с мостовой архитектурой приведена на рис. 2.7. Такая трёх-скоростная и трёхуровневая структура позволяет устройствам работать с оптимальной скоростью. Главная системная шина подключается непосредственно к процессору. Все обращения кэш преобразуются в обращения к основной памяти и проходят через главную шину, аналогично транзакциям ввода/вывода. FSB постоянно контролируется процессором.

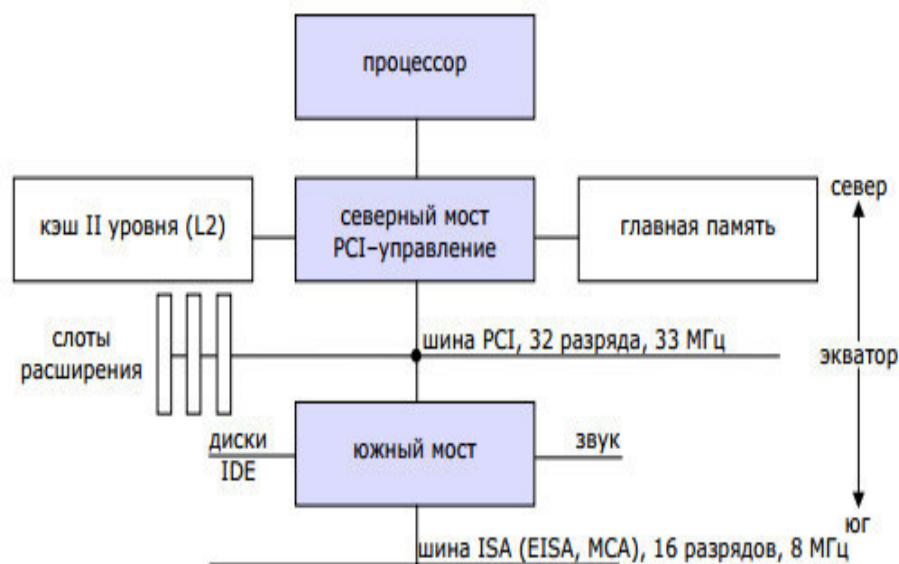


Рис. 2.7. Схема ПК с мостовой архитектурой.

К другой стороне FSB подключена микросхема (системный контроллер), которая управляет кэшем, оперативной памятью и выполняет функцию моста к шине **PCI** (*Peripheral Component Interconnect*). Шина PCI, как с точки зрения скорости передачи данных, так и расположения занимает среднее (экваториальное) положение в компьютере.

Северный мост обеспечивает интерфейс между шиной PCI и отдельными устройствами. Пиковая скорость передачи данных по шине PCI составляет, как правило, 133 Мбайт/с (33 МГц). Этой шиной может управлять любое из устройств передачи данных по шине, в том числе процессор и устройства ввода/вывода. Шина PCI поддерживает от 3-х до 6-и слотов. При необходимости использования большего количества устройств PCI, плата ПК должна содержать несколько шин PCI, которые будут управляться дополнительными мостами PCI-PCI.



Наименее быстродействующие устройства подключаются и управляются южным мостом. Например, они могли подключаться по шине ISA, EISA или MCA. Южный мост поддерживает интерфейс обмена PCI-ISA, обеспечивая пиковую скорость шины ISA в 5 Мбайт/с. Отметим, что еще в конце XX века было объявлено, что шина ISA больше не используется, и устройства для неё выпускаться не будут.

### 2.3.2 Архитектура ПК с коммутационной структурой

Другим направлением, устраняющим разрыв в производительности процессора и системной шины, является замена шины **коммутационной средой**. Это позволяет процессорам и устройствам работать независимо и одновременно, что особенно актуально для многопроцессорных систем.

Системная шина допускает подключение, как дополнительных процессоров, так и контролеров памяти и других устройств. Но все они общаются через единственную шину, и её пропускная способность будет определяться количеством одновременно выполняемых операций на шине. Для реализации всего потенциала систем на базе процессоров с высокой тактовой частотой надо повышать и производительность системной шины, но это становится все более сложным и дорогим.

Избежать этих сложностей позволяет переход на коммутационные архитектуры, которые имеют следующие преимущества:

- максимальная параллельность операций, то есть обеспечение возможности независимой работы подсистем (процессоров, устройств ввода/вывода);
- минимальное время ожидания, необходимое для достижения пункта назначения первым словом данных и/или для завершения транзакции (передачи);
- максимальная пропускная способность, то есть количество данных передаваемых за секунду.

Коммутационная архитектура может обеспечить минимальные задержки. Системы на её основе способны начать выборку команд или данных из памяти через один такт после получения запроса от процессора. Фирмой Netpower создана многопроцессорная система Fastseries с использованием коммутационной архитектуры на базе коммутатора **FastBridge** (рис. 2.8), который имеет четыре основных интерфейса:

- два 64-х разрядных интерфейса, которые напрямую соединяют каждый из процессоров с коммутатором. В зависимости от процессора они могут работать с частотой до 67 МГц;
- 128 разрядный интерфейс, связывающий коммутатор FastBridge с памятью и работающий на частоте вдвое меньшей частоты интерфейса с процессором (обычно 33 МГц);
- интерфейс, соединяющий коммутатор FastBridge напрямую с шиной PCI и работающий на частоте, вдвое меньшей частоты интерфейса с процессором.

Все эти интерфейсные устройства, работая независимо друг от друга, обеспечивают максимальную параллельность выполнения системных операций коммутатором FastBridge. Однако независимых интерфейсов не достаточно, чтобы использовать все преимущества параллелизма. Поэтому в коммутатор включены многоуровневые буферы упреждающего чтения/записи, которые изолируют подсистемы друг от друга, позволяя максимально быстро передавать данные в коммутатор FastBridge и из него, независимо от быстродействия источника данных (при чтении) или их получателя (при записи). Систему можно

наращивать, добавляя коммутаторы FastBridge. То есть такая система легко масштабируется.

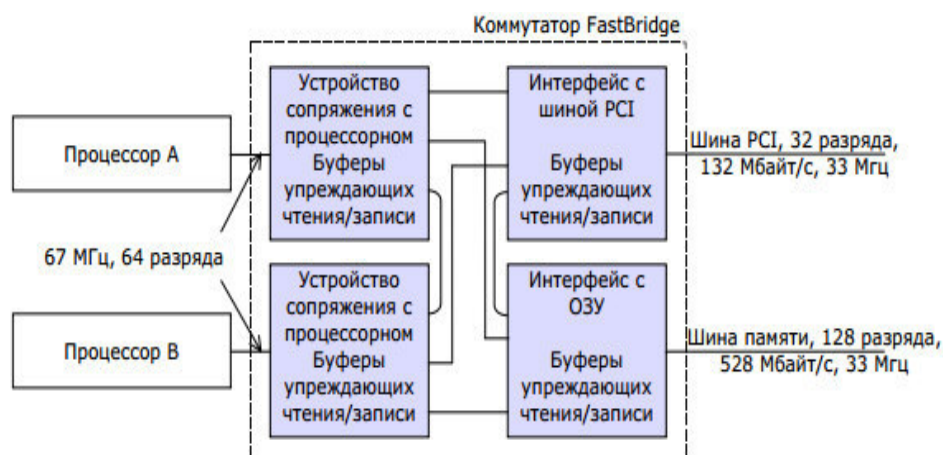


Рис. 2.8. Структура коммутатора FastBridge на 2 процессора.

### 2.3.3 Хабовая архитектура ПК

С дальнейшим повышением быстродействия процессоров и периферийных устройств относительно медленная шина PCI стала узким местом в увеличении общей производительности и надёжности компьютерных систем, реализующих мостовую структуру.

В этих системах шина PCI обеспечивала поток данных не только между PCI устройствами, памятью и процессором, но и между южным и северным мостами. Ставить 64-разрядную шину PCI дорого, а поднимать ее частоту невыгодно, так как все устройства на шине должны работать на этой частоте, иначе её скорость упадет до 33 МГц.

Чтобы оптимизировать структуру ПК и ускорить обмен между устройствами, фирмой Intel, начиная с чипсета i810, была реализована архитектура ускоренного обмена (*Accelerated Hub Architecture*, **АНА**). В этой архитектуре северный мост заменён на хаб контроллера графики и памяти (*Graphics and Memory Controller Hub*, **GMCH**), а южный — на хаб контроллера ввода/вывода (*Integrated Input/Output Controller Hub*, **ICH**). Структурная схема подобной системы приведена на рис 2.9.

Шина PCI полностью отошла к ICH, а обмен данными между хабами осуществляется по специально выполненной шине со скоростью 266 МБайт/с. Фирма Intel называет эту шину *Intel Hub Interface*, она имеет разрядность 8 бит и частоту 66 МГц.

Третий хаб (*FirmWare Hub*, **FWH**) обеспечивает средства защиты и управления компьютера (BIOS), а шина **LPC** (*Low Pin Count*) используется для подключения устройств, не требующих большой пропускной способности. К ним относятся загрузочное ПЗУ, а также контроллеры «устаревших» низкопроизводительных интерфейсов передачи данных.

Архитектура АНА обеспечивает полосу пропускания в два раза выше, чем шина PCI. Это дает возможность увеличить поток информации от контроллера ввода-вывода к контроллеру памяти, что позволяет эффективнее исполнять несколько функций одновременно, в частности более реалистично воспроизводить аудио- и видеoinформацию.

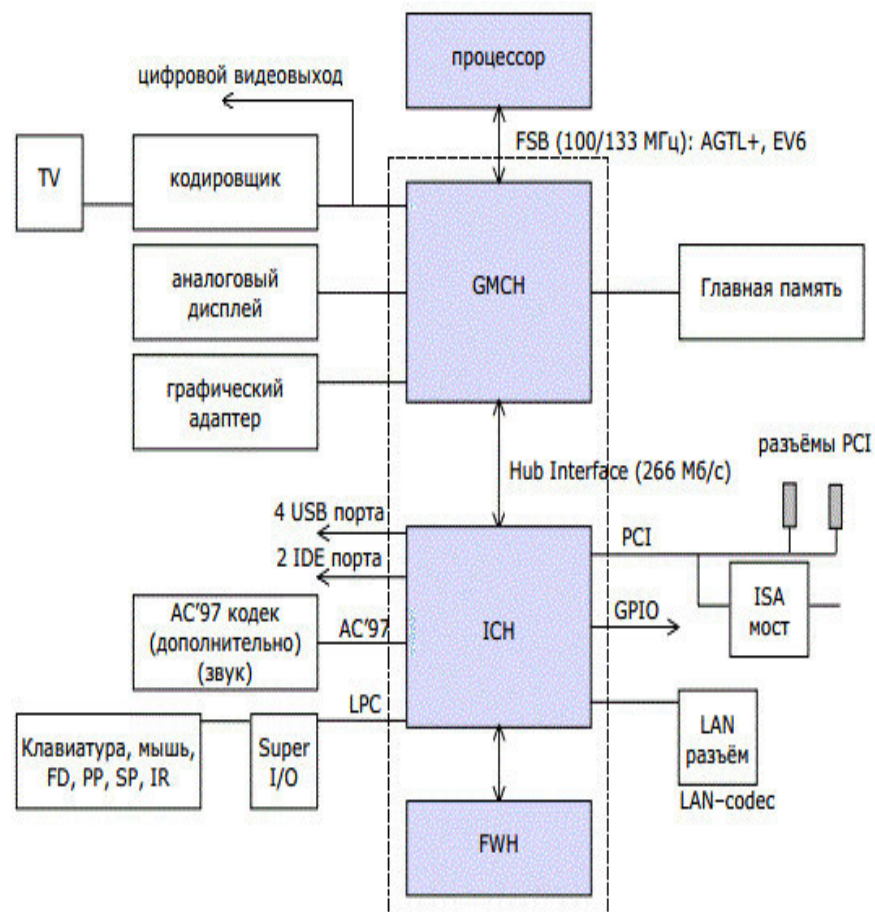


Рис. 2.9. Хабовая архитектура ПК на базе чипсета i815E.

Внедрение «хабовой архитектуры» получила свое развитие в 1999 году на базе чипсетов Intel под 800-ми номерами, которые поддерживали процессоры Intel Pentium 4 и Celeron. Эту же архитектуру для процессоров семейства Core 2 поддерживал и чипсет Intel X38, выпущенный в октябре 2007 года. Если до этого номер модели задавался числовым индексом (i810-i845, i915-i925), то теперь чипсеты отличают по префиксу X за которым идет номер серии этого продукта.

Развитие «хабовая архитектура» получила с внедрением чипсетов Intel 4 Series Express, которые появились весной 2008 года, поддерживали процессоры Core 2 Duo, Core 2 Quad, Pentium Dual-Core, Celeron и обладали следующими возможностями:

- возможность поддержки FSB с частотой 1600 МГц в чипсете X48;
- чипсет P45 поддерживает шину PCI Express спецификации 2.0;
- чипсет G45 обладает наиболее мощным ядром Intel GMA X4500HD;
- все новые северные мосты комплектуются одним и тем же южным мостом ICH10(R);
- допускают использование двухканальной памяти DDR3 с частотой 1066 МГц, поддерживают интерфейс eSATA.

Эта серия чипсетов была ориентирована на мощные мультимедийные системы в домашних ПК. Но во времена, когда частота процессора превысила 3 ГГц, а требования к пропускной способности шин приближаются к 10 ГГц, параллельные системные и периферийные шины достигли потолка своих возможностей. В них стало трудно обеспечивать

идентичность линий разных разрядов по длине и однородности, что приводит к рассинхронизации сигналов на линиях разных разрядов. Поэтому фирмы отказываются от параллельных шин PCI, FSB, AGP и заменяют их последовательными шинами PCI Express, Hyper Transport, SATA, USB и др.

## 2.4 Стратегия «тик-так» фирмы Intel

Прежде чем рассматривать более современные архитектуры ПК следует отметить тот факт, что они существенно зависят от используемых в их составе микропроцессорных чипов, в разработке которых одним из признанных лидеров, наряду с AMD и VIA Technologies (Тайвань), является Intel Corporation.

На протяжении ряда последних лет на архитектуру ПК некоторое влияние оказывала стратегия разработки микропроцессоров фирмой Intel, которая была анонсирована на конференции Intel Developer Forum в сентябре 2006 и получила название «тик-так» (англ. *tick-tock*). Она представляет собой экстенсивную стратегию разработки микропроцессоров, при которой каждый цикл разработки делится на две стадии — «тик» и «так» (рис. 2.10).

- Стадия «тик» означает миниатюризацию технологического процесса и относительно небольшие усовершенствования микроархитектуры.
- Стадия «так» означает выпуск процессоров с новой микроархитектурой, но на базе существующего технологического процесса.

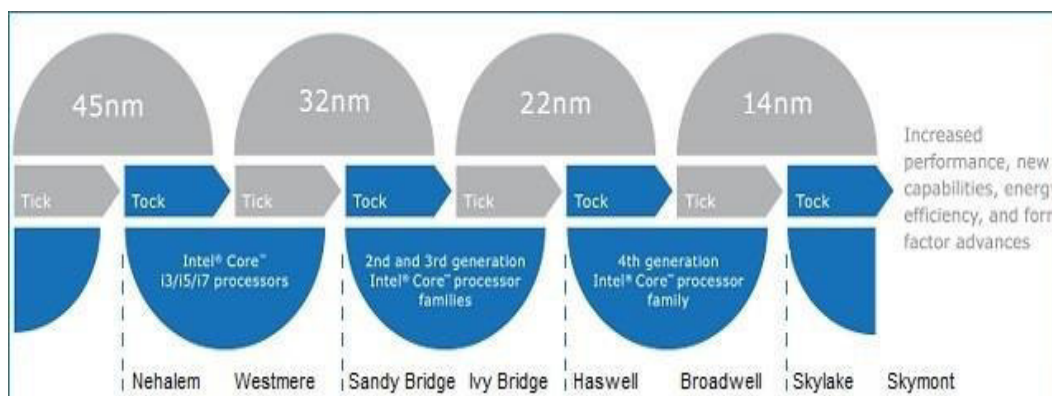


Рис. 2.10. Стратегия разработки микропроцессоров фирмой Intel.

По планам фирмы Intel, каждая часть цикла должна занимать примерно год. Первым поколением процессоров, разработанных согласно данной стратегии, были 64-битные процессоры Intel® Core™, построенные на микроархитектуре:

- Nehalem — 1-е поколение, 45 нм, 2009 год,
- Westmere — 1-е поколение, 32 нм, 2010 год.

Следующие поколения представляли микроархитектуры:

- Sandy Bridge — 2-е поколение, 32 нм, 2011 год,
- Ivy Bridge — 3-е поколение, 22 нм, 2012 год,
- Haswell — 4-е поколение, 22 нм, 2013 год,
- Broadwell — 5-е поколение, 14 нм, 2014 год.

Выход первых настольных процессоров Intel Skylake намечен на второй квартал 2015 года, а 10-нанометровые процессоры Intel Cannonlake выходят в 2016 году.

мобильности и роуминга пользователь может работать в помещении по протоколу WiFi, а выйдя из помещения, продолжать работать, автоматически перейдя на протокол WiMax.

## 5.8 Интерфейс PCMCIA

**PCMCIA** (*Personal Computer Memory Card International Association* — ассоциация производителей плат памяти для персональных компьютеров) — внешняя шина компьютеров класса ноутбук. Другое название модуля PCMCIA — **PC Card**.

Шина имеет разрядность 16/26 (данные/адрес, адресное пространство — 64 Мбайт), поддерживает автоматическое конфигурирование, возможно подключение и отключение устройств в процессе работы компьютера.

Конструктив — миниатюрный 68-контактный разъем. Контакты питания сделаны более длинными, что позволяет вставлять и вынимать карту при включенном питании компьютера.

## 6 Общие сведения о вычислительных системах и комплексах

Решение задач управления требуют переработки в короткие сроки большого объема информации. При этом одной ЭВМ может оказаться недостаточно из-за ограниченного быстродействия или малого объема ОЗУ. Кроме этого, если для управления технологическим процессом используется только одна ЭВМ, то при выходе ее из строя нарушится технологический процесс, а может возникнуть и аварийная ситуация.

В таких случаях необходимо обеспечить должную надежность вычислительной техники путем введения дополнительных резервных ЭВМ или процессоров. Стремление к повышению производительности вычислительных средств, надежности их функционирования вызвали появление вычислительных систем (ВС).

**Вычислительной системой** называется совокупность вычислительных средств, включающих не менее двух ЭВМ или процессоров с автоматическим обменом информацией между ними и предназначенных для автоматической обработки информации в соответствии с заданным алгоритмом.

Вычислительные системы могут строиться как на основе целых компьютеров, так и на основе отдельных процессоров. В первом случае ВС — многомашинная, во втором — многопроцессорная [5], [7], [16]. Поэтому, исходя из принципов организации их структур, вычислительные системы подразделяют на два больших класса: многомашинные ВС и многопроцессорные ВС (рис. 6.1).



Рис. 6.1. Два класса вычислительных систем.



## 6.1 Многомашинные вычислительные системы

**Многомашинная вычислительная система (ММВС)** – это система, включающая в себя две или более ЭВМ, которые информационно взаимодействуют между собой. Машины могут находиться рядом друг с другом, а могут быть удалены друг от друга на некоторое, иногда значительное расстояние (вычислительные сети).

В многомашинных ВС каждый компьютер имеет процессор, ОЗУ, набор периферийных устройств и работает под управлением своей операционной системы (ОС). А поскольку обмен информацией между машинами выполняется под управлением ОС, взаимодействующих друг с другом, то динамические характеристики процедур обмена несколько ухудшаются, ввиду затрат времени на согласование работы самих ОС.

Исходя из способа организации информационного взаимодействия между компьютерами системы, все ММВС можно разделить на три основных типа: **слабосвязанные, прямосвязанные и спутниковые**.

В **слабосвязанных ММВС** отдельные ЭВМ связаны друг с другом только через внешние запоминающие устройства (ВЗУ) и их связь осуществляется только на информационном уровне. Такая организация связей обычно используется в тех случаях, когда необходимо повысить надежность комплекса путем резервирования ЭВМ. При этом возможно несколько способов организации работы ММВС:

- Резервная ЭВМ находится в выключенном состоянии (ненагруженный резерв) и включается только при отказе основной ЭВМ.
- Резервная ЭВМ находится в состоянии полной готовности и в любой момент может заменить основную ЭВМ (нагруженный резерв), причем либо не решает никаких задач, либо работает в режиме самоконтроля, решая контрольные задачи.
- Для того чтобы полностью исключить перерыв в выдаче результатов, обе ЭВМ, и основная и резервная, решают одновременно одни и те же задачи, но результаты выдает только основная ЭВМ, а при выходе ее из строя результаты начинает выдавать резервная ЭВМ.

**Прямосвязанные ММВС** обладают существенно большей гибкостью и допускают три вида связи между ЭВМ (рис. 6.2):

- Связь через общее ОЗУ (ООЗУ) значительно сильнее, чем связь через ВЗУ, ввиду того, что процессоры имеют прямой доступ к ОЗУ. Такая организация обмена позволяет каждой из ЭВМ обращаться в любой момент времени к любому участку ООЗУ, не работающему в данный момент с другой ЭВМ. Достоинство данного способа:
  - высокая скорость обмена,
  - гибкость организации вычислительного процесса,
  - сохранность автономности каждой из ЭВМ.
- При соединении процессоров с помощью **средств прямого управления** осуществляется передача сигналов внешних прерываний и управляющей информации с целью синхронизации единого вычислительного процесса. Непосредственная связь между процессорами – канал прямого управления – может быть не только *информационной*, но и *командной*, что улучшает динамику перехода от основной ЭВМ к резервной и позволяет выполнять более полный взаимный контроль ЭВМ.

- Связь через **адаптер канал–канал (АКК)** обеспечивает достаточно быстрый обмен информацией между ЭВМ. При этом обмен может производиться большими массивами информации. В отношении скорости передачи информации связь через АКК мало уступает связи через общее ОЗУ, а в отношении объема передаваемой информации – связи через общее ВЗУ.

Следует отметить, что прямосвязанные ММВС позволяют осуществлять все способы организации работы ММВС, характерные для слабосвязанных ММВС, но значительно более эффективно.

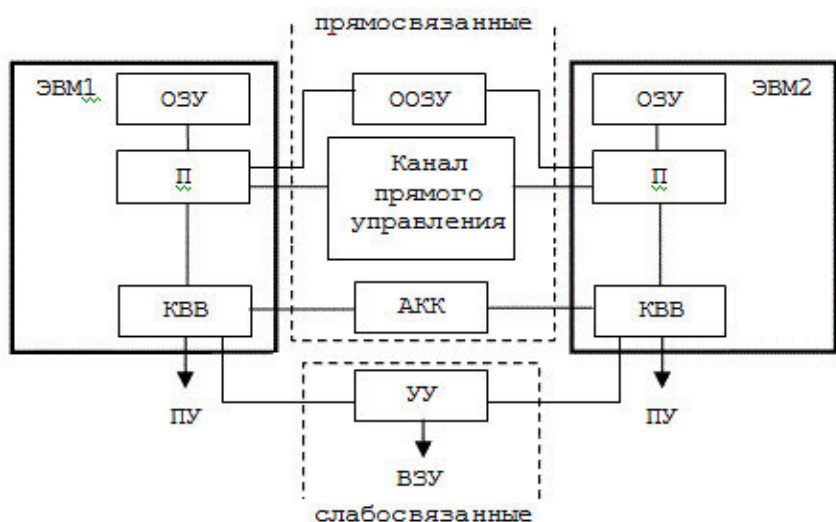


Рис. 6.2. Возможные связи ЭВМ в составе ММВС.

Для **спутниковых ММВС** характерным является не способ связи, а принцип взаимодействия ЭВМ. Структура связей в спутниковых ММВС не отличается от рассмотренных выше. Особенностью этих ММВС является то, что в них,

- во-первых, ЭВМ существенно различаются по своим характеристикам,
- во-вторых, имеет место определенная соподчиненность машин и различие функций, выполняемых каждой ЭВМ.

Основная ЭВМ, чаще более высокопроизводительная, предназначена для основной обработки информации, в то время как спутниковая ЭВМ, обычно меньшей производительности, осуществляет организацию обмена информацией основной ЭВМ с периферийными устройствами, ВЗУ, удаленными абонентами и т.д.

Некоторые ММВС могут включать не одну, а несколько спутниковых ЭВМ, при этом каждая из них ориентируется на выполнение определенных функций. Спутниковые ММВС значительно увеличивают производительность, не оказывая при этом заметного влияния на показатели надежности всего комплекса.

## 6.2 Многопроцессорные вычислительные комплексы

**Многопроцессорные вычислительные комплексы (МПВК)** – это вычислительные системы с несколькими процессорами, общими внутренней памятью и периферийными устройствами, работающими под управлением единой ОС, которая осуществляет общее управление техническими и программными средствами комплекса.

При этом каждый из процессоров может иметь индивидуальные, доступные только ему ОЗУ и периферийные устройства.

Следует отметить, что МПВК в аппаратном плане значительно более сложные, чем ММВС. При этом основная функция по организации вычислительного процесса возлагается на ОС, что значительно осложняет ее построение. Однако, несмотря на все трудности, связанные с аппаратной и программной реализацией, МПВК получают все большее распространение, так как обладают рядом достоинств, основные из которых:

- высокая надежность и готовность за счет резервирования и возможности реконфигурации;
- высокая производительность за счет возможности гибкой организации параллельной обработки информации и более полной загрузки всего оборудования;
- высокая экономическая эффективность за счет повышения коэффициента использования оборудования комплекса.

Основная идея создания МПВК – это расчленение решаемой задачи на несколько подзадач, каждая из которых решается на своем процессоре. За счет распараллеливания существенно увеличивается производительность МПВК. Существует несколько вариантов структурной организации МПВК: *конвейерные, матричные, программно-коммутируемые* (рис. 6.3).



Рис. 6.3. Варианты структурной организации МПВК.

### 6.3 Конвейерные многопроцессорные вычислительная комплексы

В **конвейерных МПВК** ускорение вычислений достигается за счет разделения всей программы на отдельные участки и организации передачи данных от одного участка к другому, аналогично тому, как при изготовлении изделия на конвейере оно передается от одного рабочего к другому. За счет специализации каждого рабочего на определенной операции, общая производительность изготовления изделия на конвейере существенно повышается. То же происходит и в конвейерных МПВК за счет специализации каждого процессора на выполнении определенных действий.

Рассмотрим этот процесс на простом примере сложения двух чисел. Пусть, для примера, это будут числа 21.7 и 3.65.

Предположим, что обычная однопроцессорная ЭВМ выполняет сложение за одну единицу времени, или за один такт. Однако, суммирование является для ЭВМ довольно сложной работой и в ней можно выделить по крайней мере три этапа:

- выравнивание порядков, т.е. сдвиг второго числа так, чтобы запятые оказались на одном уровне (а);
- сложение дробных частей, при этом возможно образование единицы переноса (б);
- сложение целых частей с прибавлением единицы переноса, если она образовалась (в).

Если теперь для каждого из этих этапов выделить отдельный процессор, то процесс суммирования можно будет представить в виде, аналогичном тому, что приведен на рис. 6.4.

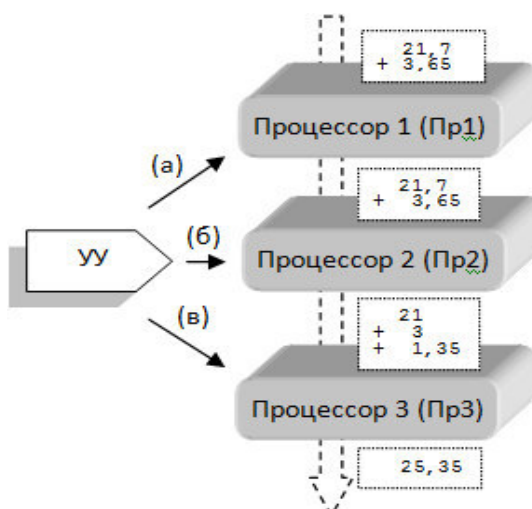


Рис. 6.4. Пример суммирования на конвейерном МПВК.

Так как весь процесс суммирования занимает один такт, то предположим, что каждый из этапов занимает  $1/3$  такта. При сложении всего одной пары чисел никакого выигрыша во времени выполнения сложения на трех процессорах по сравнению с однопроцессорной ЭВМ не будет, так как

$$1/3 + 1/3 + 1/3 = 1 \text{ такт.}$$

Предположим теперь, что нам необходимо сложить элементы двух массивов А и В, размерность которых равна 8, то есть надо получить суммы

$$A(1)+B(1), A(2)+B(2), \dots, A(8)+B(8)$$

На обычной однопроцессорной ЭВМ каждое сложение выполнялось бы за один такт. А коль так, то и все суммы были бы получены всего за восемь тактов.

При суммировании на конвейере (рис. 1.4) можно было бы наблюдать следующий процесс:

- Через  $1/3$  такта после начала работы на выходе Пр1 появляются выровненные числа  $A(1)$  и  $B(1)$ , которые поступают на вход Пр2 для сложения дробных частей, а процессор Пр1 освобождается и в него поступает вторая пара чисел  $A(2)$  и  $B(2)$ .
- Еще через  $1/3$  такта пара чисел  $A(1)$  и  $B(1)$  окажется на входе Пр3, освободив процессор Пр2 для  $A(2)$  и  $B(2)$ , а на вход процессор Пр1 поступает следующая пара чисел  $A(3)$  и  $B(3)$ .
- Еще через  $1/3$  такта, то есть через один такт после начала суммирования элементов массива на выходе Пр3 появится результат сложения первых элементов массивов.
- Далее суммы всех последующих семи элементов массивов будут появляться через каждые  $1/3$  такта.

Тогда общее время суммирования всех восьми элементов массива составит

$$1 + 7 * 1/3 = 10/3 = 3.333 \text{ такта}$$

По сравнению с последовательной обработкой, которая составила бы 8 тактов, выигрыш во времени при конвейерной обработке на трех процессорах будет более, чем в два раза, но менее, чем в три раза:

$$2 < 8 / 3.333 = 2.4 < 3$$

В общем случае, если длина конвейера  $p$ , каждый этап требует  $1/p$  такта и обрабатывается массив длины  $M$ , то суммарное время обработки будет равно

$$1 + (M - 1) / p$$

При обработке массивов большой размерности быстродействие конвейерных МПВК увеличивается почти в  $p$  раз, где  $p$  - количество процессоров в конвейере. Функциональная схема конвейерных МПВК имеет вид, приведенный на рис. 6.5



Рис. 6.5. Функциональная схема конвейерных МПВК.

## 6.4 Матричные многопроцессорные вычислительные комплексы

Еще одним из классов МПВК являются матричные МПВК, которые состоят из  $N$  идентичных процессорных элементов, работающих под управлением одного устройства управления. Особенность заключается в том, что УУ на каждом такте работы предписывает исполнение одной и той же команды на всех  $N$  процессорах, но над различными данными. Иллюстрация работы матричного МПВК для примера суммирования элементов двух массивов приведена на рис. 6.6.

Оперативная память является как правило разделенной между процессорами. Каждый процессор имеет возможность быстро обратиться к своему участку памяти, в то время как обращение к области памяти соседа несколько сложнее. Между собой процессоры соединяются каналами, которые позволяют передавать данные соседним процессорам и получать их от соседей непосредственно, то есть без промежуточного обращения к памяти. Функциональная схема матричных МПВК имеет вид, приведенный на рис. 6.7.

Очевидно, что такая система, составленная из большого числа процессоров, может обеспечить существенное повышение производительности только на тех задачах, при решении которых все процессоры могут делать одну и ту же работу.



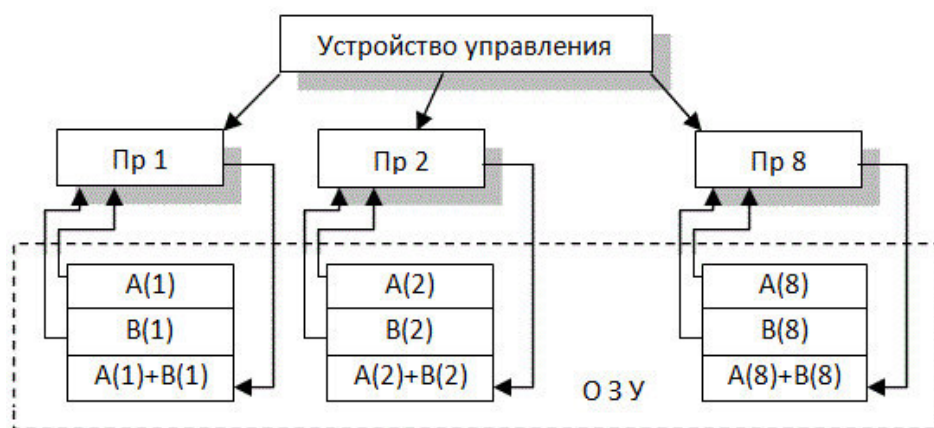


Рис. 6.6. Пример работы матричных МПВК.

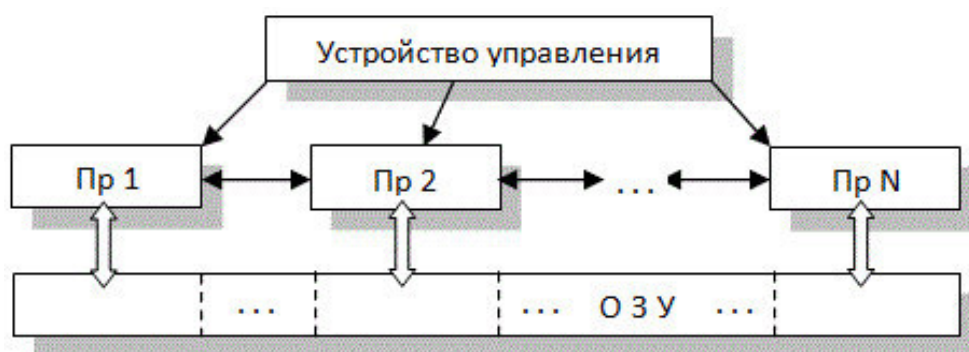


Рис. 6.7. Функциональная схема матричных МПВК.

Более гибкая организация параллельных вычислительных процессов возможна на **программно-коммутированных МПВК**. В этом случае управляющая программа для каждой задачи решает какие и сколько процессоров надо выделить для решения этой задачи, и по какой программе каждый процессор будет работать.

В результате для каждой задачи образуется свой набор процессоров, причем каждый из них будет настроен на выполнение одного какого-то участка задачи. Из этого следует, что каждая программа образует свою структуру МПВК. Так возникло понятие **виртуального**, то есть условного, компьютера, структура которого определяется структурой задачи.

## 6.5 Мультипроцессоры и мультикомпьютеры

В любой параллельной компьютерной системе процессоры, выполняющие разные части единого задания, должны как-то взаимодействовать друг с другом, чтобы обмениваться информацией. Как именно должен происходить обмен? Для этого было предложено и реализовано две стратегии: **мультипроцессоры** и **мультикомпьютеры**. Ключевое различие между ними состоит в наличии или отсутствии общей памяти. Это различие сказывается как на конструкции, устройстве и программировании таких систем, так и на их стоимости и размерах.

### 6.5.1 Мультипроцессоры

Параллельный компьютер, в котором все процессоры могут совместно использовать общую физическую память, называется мультипроцессором, или системой с общей памятью (рис. 6.8, а). Все процессы, работающие в мультипроцессоре совместно, могут иметь единое виртуальное адресное пространство, отображенное на общую память. Любой процесс с помощью команд LOAD и STORE может считать слово из памяти или записать слово

В качестве единицы измерения производительности служит **FLOP/s** (англ. *F*loating *p*oint *O*perations *p*er *s*econd) — количество арифметических операций, выполняемых за секунду.

Начиная с 2010 года долгое время рейтинг возглавляла система Tianhe-2, разработанная в Китайском Национальном университете оборонных технологий. С китайского языка «Тяньхэ» переводится как «Млечный Путь». **Tianhe-2** содержит шестнадцать тысяч вычислительных узлов, в каждом из которых расположено по два процессора Intel Xeon E5-2692 и по три векторных сопроцессора Intel Xeon Phi 31S1P. На каждый процессор выделяется по 32 ГБ оперативной памяти стандарта DDR3 с коррекцией ошибок, а на каждый сопроцессор — по 8 ГБ памяти стандарта GDDR5. Суммарный объем всех модулей памяти составляет тысячу терабайт.

Самой мощной в Европе стала система **Cray XC30** (рис. 8.8). Названная Piz Daint, в честь одного из пиков Швейцарских Альп, она установлена в Швейцарском национальном центре суперкомпьютерных вычислений. Эта система занимает 6 место в TOP500, достигнув отметки в 6.2 петафлопс на тесте LINPACK.

Россия на ноябрь 2014 года занимала 8 место по количеству эксплуатируемых вычислительных систем (рис. 8.9). Всего 9 суперкомпьютеров, работающих в России присутствует в списке TOP500, а самый мощный из них, установленный в Научно-исследовательском вычислительном центре МГУ **T-Platforms A-Class**, занимает 22 место в рейтинге.

Согласно этой же редакции рейтинга в первую десятку производителей суперкомпьютеров вошла российская группа компаний **РСК**. Она занимает 9-е место в мире среди ведущих поставщиков суперкомпьютеров.



Рис. 8.8. Суперкомпьютеры Cray XC30, Tianhe-2, T-Platform A-Class.

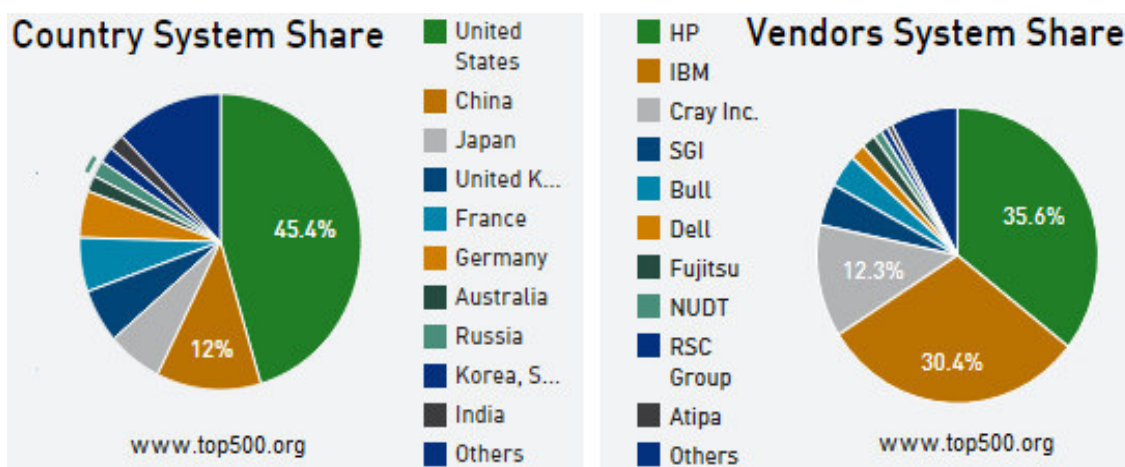


Рис. 8.9. Распределение суперкомпьютеров по странам и производителям (ноябрь 2014г).

### 8.4.3 Вычислительные системы компании Т-платформы

Следует отметить, что две системы, входящие в TOP500, разработаны в компании **Т-платформы**. Если обратиться к рейтингу Top50 суперкомпьютеров работающих в СНГ, то можно видеть, что их производителями являются: Hewlett-Packard - 19, IBM - 14 и Т-Платформы - 8 систем, соответственно. Откуда ясно, что компания Т-платформы — это ведущий российский производитель вычислительных систем, самой производительной из которых является T-Platforms A-Class (рис. 8.10).

**T-Platforms A-Class** — это суперкомпьютерное семейство для ведущих научно-исследовательских центров и лабораторий, которые предпочитают использовать сверхпроизводительные гетерогенные вычислительные комплексы с максимальной масштабируемостью и вычислительной плотностью.

В специализированном 52-юнитовом шасси A-Class размещается 256 вычислительных узлов с пиковой производительностью 535,6 терафлопс и встроена вся сетевая инфраструктура. Каждый вычислительный узел содержит процессор Intel® Xeon® и ускоритель NVIDIA Tesla™.

Производительность суперкомпьютера масштабируется до 102,8 петафлопс за счёт объединения 192 шасси. Для поддержки подобной масштабируемости, используются две независимые сети **InfiniBand**, предназначенные для обмена MPI-сообщениями и для передачи данных. Для создания максимально эффективной конфигурации системы доступны топологии трёхмерного и четырёхмерного тора, «плоской бабочки» и гиперкуба.

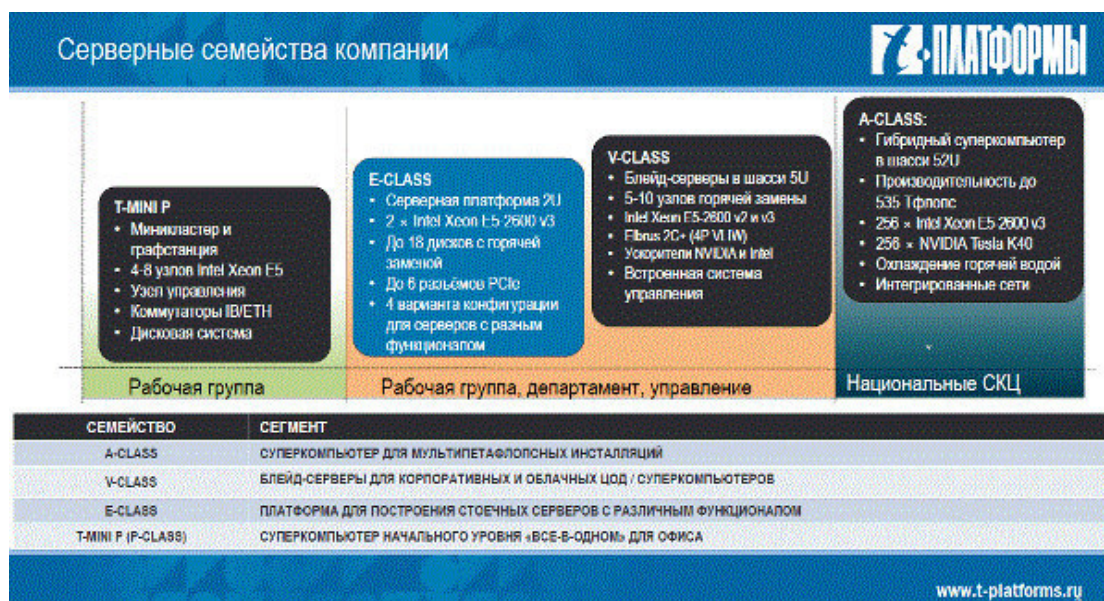


Рис. 8.10. Семейство систем компании Т-платформы.

Наряду с суперкомпьютерным семейством A-Class, компания Т-платформы выпускает широкую номенклатуру мощных вычислительных систем разного класса и назначения (рис. 8.10).

Одну из них, кластер "СКИФ Урал", компания Т-Платформы поставила в Южно-Уральский ГУ в 2008 году. Следует отметить, что лаборатория суперкомпьютерного моделирования ЮУрГУ имеет 3 суперкомпьютера, которые в разные годы входили или входят в Top500 - это кластер "СКИФ Урал" (компания Т-Платформы), суперкомпьютер "Торнадо

ЮУрГУ" (группа компаний РСК), суперкомпьютер "СКИФ-Аврора ЮУрГУ" (компания РСК СКИФ).

#### 8.4.4 Коммутирующие среды параллельных систем Infiniband

Достоинства Infiniband:

- стандарт Infiniband Trade Assotiation (IBTA);
- несколько производителей;
- небольшое время задержки;
- пропускная способность 2, 10, 30 Гбит/с;
- поддержка приоритезации Quality of Service;
- наличие сдвоенных адаптеров  $2 \times 10$  Гбит/с.

Недостатки Infiniband:

- сложность изменения физической и логической структуры;
- необходимость применения дополнительного шлюза для подключения к магистральной сети или глобальной сети;
- сложная и дорогостоящая кабельная проводка;
- ограничения на дальность передачи (17 м в случае применения электропроводных кабелей);

## 9 Кластерные вычислительные системы

### 9.1 Понятие кластера как группы компьютеров

**Кластер** - это слабо связанная совокупность компьютеров или вычислительных систем, объединённая высокоскоростными каналами связи, работающая совместно над выполнением общих приложений и представляющая с точки зрения пользователя единый аппаратный ресурс.

Один из первых архитекторов кластерной технологии Грегори Пфистер дал кластеру такое определение: «**Кластер** — это разновидность параллельной или распределённой системы, которая состоит из нескольких связанных между собой компьютеров и используется как единый, унифицированный компьютерный ресурс».

Обычно в кластерных системах не обеспечивается единая операционная среда для работы общего набора приложений на всех узлах кластера. То есть, каждый компьютер кластера - это автономная система с отдельным экземпляром ОС и своими, принадлежащими только ей системными ресурсами: набором заведенных пользователей, системными буферами, областью свопинга и т.п. (рис. 9.1) [1], [10], [15].

Приложение, запущенное на нем, может видеть только общие диски или отдельные участки памяти. На узлах кластера работают специально написанные для такой конфигурации приложения, параллельно обрабатывающие общий набор данных. На каждой из машин они представлены рядом процессов и программ, взаимодействующих с помощью кластерного программного обеспечения.

Таким образом, **кластерное ПО** — это лишь средство для взаимодействия узлов и синхронизации доступа к общим данным. Кластер как параллельная система формируется на *прикладном* уровне, а не на уровне операционной системы.





Рис. 9.1. Базовая структура кластера.

При разработке и создании кластеров используется два подхода:

- Первый применяется при создании небольших кластерных систем. В кластер объединяются *полнофункциональные* компьютеры, которые могут продолжить работу и как *самостоятельные* единицы. Например, компьютеры учебного класса или рабочие станции лаборатории.
- Второй подход применяют при целенаправленном создании мощного вычислительного ресурса. Тогда системные блоки компьютеров компактно размещаются в специальных стойках, а для управления системой выделяют один или несколько полнофункциональных компьютеров, называемых *хост-компьютерами*.

При втором подходе нет необходимости снабжать компьютеры вычислительных узлов графическими картами, мониторами, дисковыми накопителями и другим периферийным оборудованием, что значительно удешевляет стоимость системы.

В настоящее время кластеры имеют две основные области применения: параллельные серверы баз данных и высоконадежные вычислительные комплексы. Рынок параллельных СУБД фактически и является рынком кластеров приложений (рис. 9.2).



Рис. 9.2. Основные виды кластеров.



## 9.2 Кластеры высокой доступности

Высоконадежные комплексы представляют собой группу узлов, на которых выполняется ряд важных приложений, требующих постоянной, непрерывной работы. В таких системах на аппаратном уровне должен поддерживаться механизм резервирования.

**Отказоустойчивые кластеры или кластеры высокой доступности** (*High Availability, HA*) создаются для обеспечения высокой доступности сервиса, предоставляемого этим кластером. *Избыточное* число узлов, входящих в кластер, гарантирует предоставление сервиса в случае отказа одного или нескольких серверов. Типичное число узлов — два, это минимальное количество, приводящее к повышению доступности. Создано множество программных решений для построения такого рода кластеров, которые строятся по трем основным принципам:

- **С холодным резервом** или активный/пассивный. При этом только активный узел выполняет запросы, а пассивный ждет его отказа и включается в работу, когда это произойдет. Пример — резервные сетевые соединения.
- **С горячим резервом** или активный/активный. Все узлы выполняют запросы, а в случае отказа одного нагрузка перераспределяется между оставшимися.
- **С модульной избыточностью.** Применяется только в случае, когда простой системы совершенно недопустим. Все узлы одновременно выполняют один и тот же запрос, но так, что результат достижим и при отказе любого узла. Из результатов берется любой, но гарантируется, что результаты разных узлов всегда будут одинаковы, либо различия не влияют на дальнейшую работу. Пример — RAID (redundant array of independent disks — избыточный массив независимых дисков) технология виртуализации данных, которая объединяет несколько дисков в логический элемент для избыточности и повышения производительности.

Конкретная технология может сочетать данные принципы в любой комбинации. Например, для построения простейшего двухузлового отказоустойчивого кластера на базе Windows Server 2012 необходимы два компьютера, работающие с версиями Server 2012 Datacenter или Standard. Это могут быть физические компьютеры или виртуальные машины, которые должны быть настроены одинаково, чтобы резервный узел мог выполнять рабочие нагрузки в случае аварийного переключения или динамической миграции (рис. 9.3).

Для отказоустойчивого кластера Server 2012 необходимо общее хранилище данных типа iSCSI, Serially Attached SCSI или Fibre Channel SAN. Каждый сервер должен располагать по крайней мере тремя сетевыми адаптерами: одним для подключения хранилища iSCSI, одним для связи с узлом кластера и одним для связи с внешней сетью.

Следует отметить, что динамическую миграцию можно выполнить и через внешнее сетевое соединение — она просто будет выполняться медленнее. Хранилище данных iSCSI должно соответствовать спецификации iSCSI-3 и обеспечивать постоянное резервирование. Это обязательное требование динамической миграции.

# Оглавление

Введение.....	4
1 Основные компоненты и структура настольного ПК.....	4
1.1 Конструкция материнской платы.....	4
1.2 Логическая структура настольного ПК .....	7
1.2.1 Северный мост .....	8
1.2.2 Южный мост .....	9
1.3 Процессор и его основные характеристики .....	10
1.3.1 Технология сверхпоточной обработки данных .....	14
1.3.2 Основные проблемы создания многоядерных процессоров .....	15
1.3.3 Преимущества многоядерных процессоров .....	15
1.3.4 Недостатки многоядерных процессоров .....	15
1.4 Многоуровневая организация памяти компьютера.....	15
1.5 Основные стандарты материнских плат .....	17
2 Общие сведения об архитектуре персональных компьютеров .....	18
2.1 Классические архитектуры компьютеров .....	18
2.1.1 Архитектура фон Неймана .....	19
2.1.2 Архитектура с общей магистралью .....	20
2.2 Магистрально-модульный принцип построения компьютера .....	21
2.2.1 Магистраль.....	21
2.2.2 Внутренние и внешние шины компьютера.....	23
2.3 Многосшинные архитектуры компьютеров.....	25
2.3.1 Мостовая архитектура ПК .....	25
2.3.2 Архитектура ПК с коммутационной структурой .....	26
2.3.3 Хабовая архитектура ПК .....	27
2.4 Стратегия «тик-так» фирмы Intel .....	29
2.5 Переход к двухчиповым архитектурам ПК.....	31
2.6 Дальнейшее развитие двухчиповых архитектур ПК .....	33
2.7 Архитектура современных ПК на базе процессоров Intel .....	36
2.7.1 Архитектура современных настольных ПК на базе чипсета Intel 9 Series .....	37
2.7.2 Семейство чипсетов Intel 100 Series .....	38
2.7.3 Особенность систем на базе Intel® Core™ 5-го поколения. ....	40
2.7.4 Архитектура мобильных устройств на базе процессоров Intel Core M .....	43
2.7.5 Семейство процессоров Intel Atom .....	45
2.7.6 Новые перспективные линейки процессоров фирмы Intel .....	47
2.8 Архитектура современных ПК на базе процессоров AMD .....	50

2.8.1	Архитектура настольных ПК на базе процессоров AMD.....	50
2.8.2	Архитектура настольных ПК на базе гибридных процессоров AMD.....	52
2.8.3	Развитие линейки гибридных процессоров компанией AMD .....	56
2.9	Архитектуры ARM и AVR.....	57
2.9.1	Процессоры с RISC и CISC макроархитектурой.....	57
3	Запоминающие устройства компьютера.....	59
3.1	Классификация типов памяти.....	59
3.2	Физическая структура основной памяти .....	61
3.3	Виды оперативной памяти .....	62
3.3.1	Динамическая память повышенного быстродействия.....	63
3.3.2	Тайминги динамической памяти.....	64
3.3.3	Модули памяти HyperX Fury DDR4 и Predator DDR4 .....	65
3.4	Конструктивы модулей оперативной памяти .....	65
3.5	Логическая организация памяти.....	67
3.5.1	Какой объем оперативной памяти можно использовать .....	69
3.6	Постоянное запоминающее устройство и флэш-память.....	69
3.6.1	USB-флэш-накопитель.....	71
3.6.2	Твердотельный накопитель .....	72
4	Адресация памяти .....	74
4.1	Способы адресации в ПК с 32-разрядной архитектурой .....	74
4.1.1	Схема формирования физического адреса в реальном режиме.....	74
4.1.2	Формирование физического адреса в защищенном режиме.....	75
4.2	Сегментная адресация памяти .....	77
4.2.1	Реализация сегментного механизма .....	78
4.2.2	Страничная адресация памяти .....	80
4.2.3	Механизм страничной адресации в архитектуре Intel IA-86.....	81
	Методы ускорения получения физического адреса. ....	83
4.2.4	Защита памяти. ....	84
5	Интерфейсы и шины .....	85
5.1	Понятие интерфейса компьютерных систем.....	85
5.2	Шины, их назначение и характеристики .....	86
5.3	Шины расширения.....	88
5.4	Локальные шины.....	90
5.4.1	Локальная шина VLB .....	91
5.4.2	Локальная шина PCI.....	92
5.4.3	Интерфейс AGP .....	94
5.5	Универсальные последовательные интерфейсы.....	98

5.5.1	Семейство интерфейсов PCI Express .....	98
5.5.2	Последовательная шина USB .....	104
	Топология интерфейса USB .....	104
	Спецификация интерфейса USB 2.0 .....	106
	Физический уровень.....	106
	Логический уровень интерфейса USB.....	108
	Типы передачи данных .....	110
	Спецификация интерфейса USB 3.0 .....	111
	Спецификация интерфейса USB 3.1 .....	114
	Дальнейшее развитие интерфейсов USB .....	115
5.6	Периферийные шины .....	116
5.6.1	Старые периферийные шины Serial Port и Parallel Port .....	116
5.6.2	Современные периферийные шины ATA, SATA, FireWire .....	117
	Интерфейс SCSI.....	118
	Интерфейс SATA.....	119
	Шина FireWire.....	120
5.7	Беспроводные интерфейсы .....	121
5.7.1	Интерфейсы IrDA .....	122
5.7.2	Интерфейс Bluetooth.....	122
5.7.3	Семейство интерфейсов WiFi.....	123
5.7.4	Семейство интерфейсов WiMax.....	123
5.8	Интерфейс PCMCIA .....	124
6	Общие сведения о вычислительных системах и комплексах .....	124
6.1	Многомашинные вычислительные системы.....	125
6.2	Многопроцессорные вычислительные комплексы.....	126
6.3	Конвейерные многопроцессорные вычислительная комплексы .....	127
6.4	Матричные многопроцессорные вычислительные комплексы.....	129
6.5	Мультипроцессоры и мультикомпьютеры .....	130
	6.5.1 Мультипроцессоры.....	130
	6.5.2 Мультикомпьютеры .....	131
	6.5.3 Гибридные системы .....	133
6.6	Классификация систем параллельной обработки данных .....	133
6.7	Классификация по способу организации основной памяти .....	134
7	Архитектура мультипроцессоров .....	136
7.1	Основные направления в организации параллельных вычислений .....	136
7.2	Симметричные мультипроцессорные UMA-архитектуры .....	137

Проблема согласованности (когерентности) кэшесей .....	138
Протокол отложенной записи MESI.....	139
7.3    Архитектура UMA-мультимикроспроцессоров на основе коммутатора.....	141
7.3.1    UMA-процессоры с перекрестной коммутацией .....	142
7.3.2    UMA—мультимикроспроцессоры с многоступенчатой коммутацией .....	142
7.4    NUMA-мультимикроспроцессоры с распределенной разделяемой памятью .....	144
7.5    SOMA-мультимикроспроцессоры.....	145
8    Архитектуры мультимикроспроцессоров.....	146
8.1    Понятие мультимикроспроцессора и его обобщенная схема.....	146
8.1.1    Понятие супермикроспроцессора .....	148
Этапы развития супермикроспроцессоров.....	148
8.1.2    Особенности систем с распределенной памятью .....	149
Схема работы системы с распределенной памятью.....	149
8.2    Мультимикроспроцессоры с массивно-параллельной архитектурой.....	149
8.3    Структура IBM Blue Gene, как пример MPP-архитектуры.....	151
8.3.1    Вычислительный узел BlueGene/P .....	151
8.3.2    Конструкция BlueGene/P .....	152
8.3.3    Коммуникационные сети в BlueGene/P.....	154
8.4    Современные супермикроспроцессоры.....	155
8.4.1    Мультимикроспроцессор IBM Blue Gene/Q .....	156
8.4.2    Лидеры рейтинга TOP500.....	156
8.4.3    Вычислительные системы компании T-платформы .....	158
8.4.4    Коммутирующие среды параллельных систем Infiniband.....	159
9    Кластерные вычислительные системы .....	159
9.1    Понятие кластера как группы микроспроцессоров .....	159
9.2    Кластеры высокой доступности .....	161
9.3    Кластеры распределения нагрузки.....	162
9.3.1    Поисковая система Google.....	162
9.3.2    Кластерная архитектура Google .....	163
9.3.3    Основные требования к архитектуре веб-серверов.....	165
9.4    Вычислительные кластеры .....	166
9.4.1    Кластер Beowulf.....	166
9.5    Системы распределенных вычислений .....	168
9.5.1    Добровольные вычисления.....	171
9.5.2    Метакомпьютинг .....	172
9.5.3    Новые шаги в распределенных вычислениях .....	173
9.6    Основные различия двух направлений распределенных вычислений .....	174



10	Внутрипроцессорный параллелизм .....	175
10.1	Параллелизм на уровне команд .....	175
10.1.1	Конвейеры .....	176
10.1.2	Суперскалярные архитектуры .....	177
10.1.3	VLIW архитектура со сверхдлинным командным словом .....	179
10.2	Внутрипроцессорная многопоточность .....	180
10.2.1	Мелкомодульная многопоточность .....	181
10.2.2	Крупномодульная многопоточность .....	182
10.2.3	Многопоточность в вдвоенном суперскалярном процессоре .....	182
10.2.4	Синхронная многопоточность .....	183
10.3	Однокристальные мультипроцессоры .....	183
10.3.1	Гомогенные однокристальные мультипроцессоры .....	183
10.3.2	Однокристальный мультипроцессор Core i7 .....	184
10.3.3	Кластер на кристалле Intel Xeon E5-2600 .....	184
10.4	Гетерогенные однокристальные мультипроцессоры .....	185
10.4.1	Гетерогенный однокристальный мультипроцессор DVD-плеера .....	186
10.4.2	Однокристальные мультипроцессоры мобильных устройств .....	187
10.4.3	Современные SoC мобильных устройств .....	188
	Микросхемы Samsung Exynos .....	188
	Микросхемы NVIDIA Tegra .....	189
10.5	Сопроцессоры .....	190
10.5.1	Основные сведения о сетевых процессорах .....	190
10.5.2	Графические процессоры .....	192
10.5.3	Криптопроцессоры .....	195
10.5.4	Встроенные графические процессоры Intel .....	195
	Различие подходов Intel и AMD к встроенной графике .....	196
	Графическая архитектура Intel HD Graphics 4000/2500: что нового .....	196
	Различия Intel HD Graphics 4000 и Intel HD Graphics 2500 .....	201
11	КВМ-устройства коммутации устройств ввода-вывода между несколькими компьютерами .....	203
12	Дополнительные главы .....	206
12.1	Обработка прерываний .....	206
12.1.1	Назначение, основные характеристики и функции систем прерывания программ .....	206
	Основные функции системы прерываний по этапам .....	208
	Характеристики оценки системы прерываний .....	208

12.1.2	Сохранение состояния, переход к прерывающей программе и возврат из нее...	210
A.	Определение допустимого момента прерывания.....	210
B.	Запоминание состояния прерываемой программы .....	211
C.	Переход к прерывающей программе и обработка запроса прерывания.....	212
D.	Возврат к прерванной программе после завершения обработки запроса прерывания.....	214
12.1.3	Приоритетное обслуживание прерываний.....	215
A.	Способ задания приоритета запроса прерывания зависит от способа определения причины прерывания .....	215
B.	При задании приоритетов между запросами прерываний и программами используются механизм масок и механизм порогов.....	217
12.1.4	Особенности системы прерываний ПК .....	218
12.2	Эффект гонок в автоматах .....	221
	Способы устранения гонок в автомате.....	222
	Заключение.....	223
	Глоссарий .....	224
	Список литературы.....	236

**Хабаров** Сергей Петрович  
**Шилкина** Мария Львовна

**ВЫЧИСЛИТЕЛЬНЫЕ МАШИНЫ,  
СИСТЕМЫ и СЕТИ**

Учебное пособие  
для бакалавров направления 09.03.02  
"Информационные системы и технологии"

---

Подписано в печать с авторского оригинал-макета 16.02.17.  
Формат 60 × 84/16. Бумага офсетная. Печать цифровая.  
Уч.-изд.л.15 Тираж 50. Заказ № . С4.

---

Санкт-Петербургский государственный лесотехнический университет  
Отпечатано с готового оригинал-макета, предоставленного автором,  
в типографии ООО ГАЛАНИКА  
Санкт-Петербург, ул. Правды, 15.